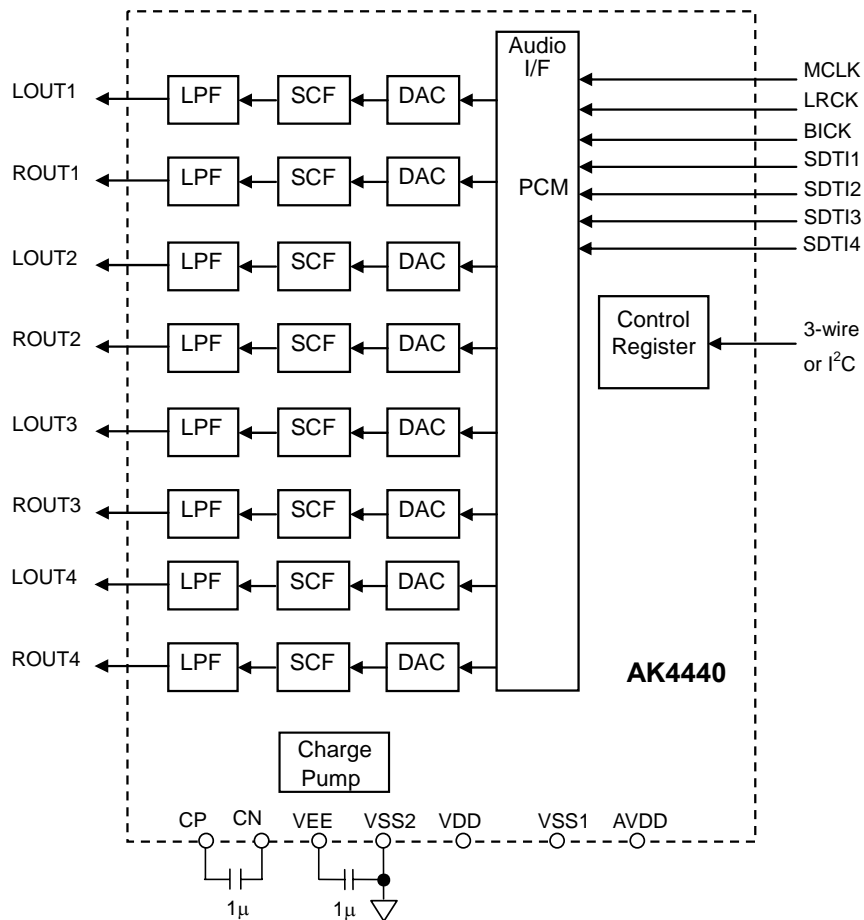


概 要

AK4440はデジタルオーディオ機器用にコストパフォーマンスを求めた2Vrms出力の24ビット8ch DACです。ΔΣ変調器にはワイドダイナミックレンジを実現する新開発のアドバンスト・マルチビット方式を採用しています。内蔵のポストフィルタにはスイッチトキャパシタフィルタ(SCF)を採用しており、クロックジッタによる精度の劣化を改善します。サンプリングレートは192kHzまで対応しており、Set-Top-Box, DVD/BD, AV Receivers, Home Theaters 等のシステムに最適です。また、AK4440は負電源を内蔵することにより、正の単一電源で2Vrmsを出力することが可能です。小型30pin VSOPパッケージに実装され、基板スペースを削減します。

特 長

- サンプリングレート: 8kHz ~ 192kHz
- 128倍 オーバサンプリング (通常速モード)
- 64倍 オーバサンプリング (2倍速モード)
- 32倍 オーバサンプリング (4倍速モード)
- Slow roll-off対応 24ビット 8倍 FIRデジタルフィルタ内蔵
- 強ジッタ耐力 SCF内蔵
- 2Vrms シングルエンド出力バッファ内蔵
- デジタルディエンファシス内蔵 (32kHz, 44.1kHz, 48kHz 対応)
- ソフトミュート内蔵
- シリアルμP I/F対応 (I²C, 3線シリアル)
- デジタルI/F フォーマット: 前詰め, 後ろ詰め (16bit, 20bit, 24bit), I²S, TDM
- マスタークロック: 256fs, 384fs, 512fs or 768fs or 1152fs (通常速モード)
128fs, 192fs, 256fs or 384fs (2倍速モード)
128fs or 192fs (4倍速モード)
- THD+N: -93dB
- Dynamic Range: 105dB
- パワーオンリセット回路内蔵
- 電源電圧: +4.5V ~ +5.5V
- Ta = -20 to 85°C
- 小型パッケージ: 30ピン VSOP (9.7mm x 7.6mm)

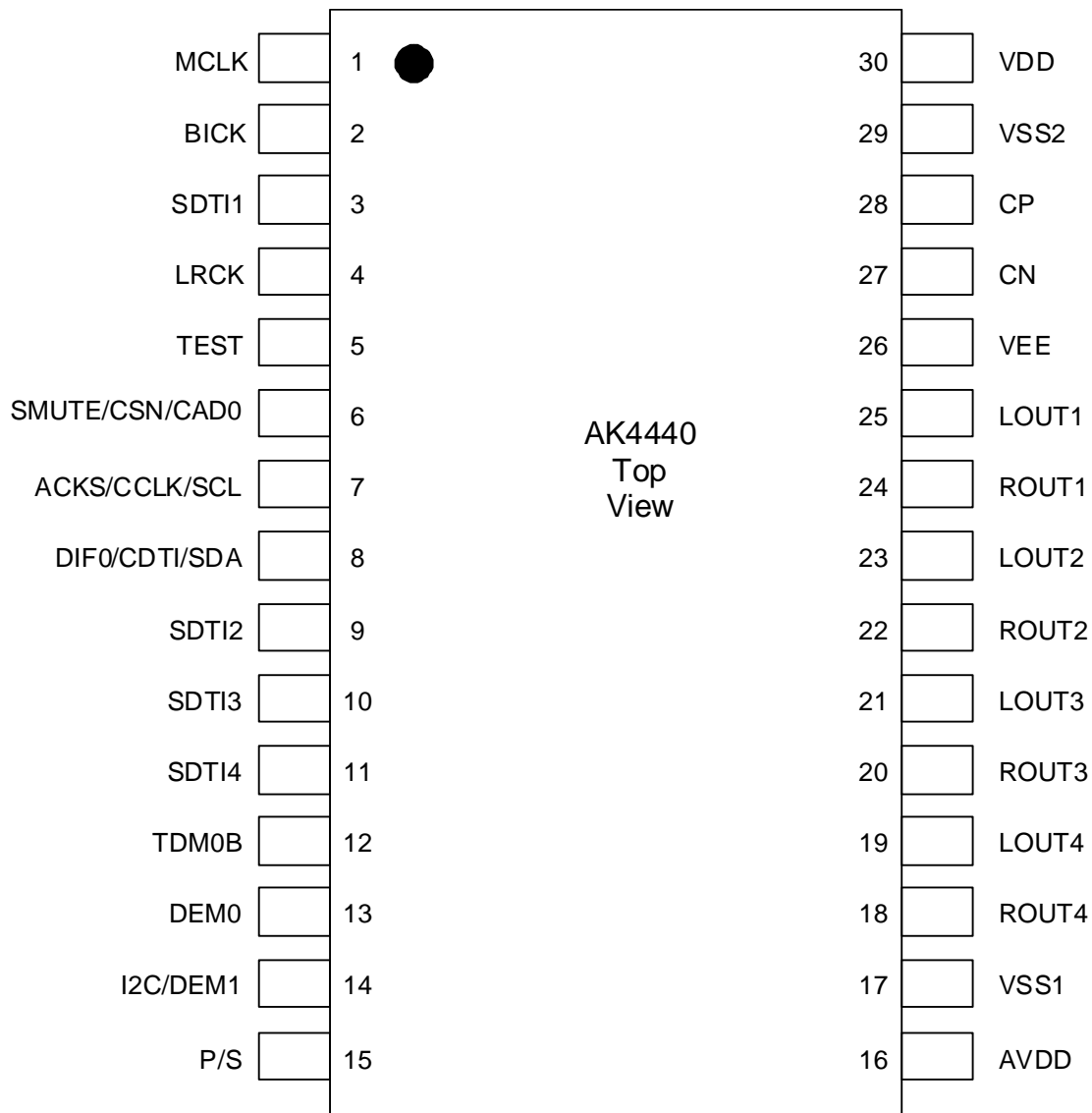


Block Diagram

■ オーダリングガイド

AK4440EF -20 ~ +85°C 30pin VSOP
 AKD4440 Evaluation Board for AK4440

■ ピン配置



ピン/機能

No.	Pin Name	I/O	Function
1	MCLK	I	Master Clock Input Pin An external TTL clock should be input on this pin.
2	BICK	I	Audio Serial Data Clock Pin
3	SDTI1	I	DAC1 Audio Serial Data Input Pin
4	LRCK	I	L/R Clock Pin
5	TEST	O	TEST pin. This pin should be open.
6	SMUTE	I	Soft Mute Pin in parallel mode "H": Enable, "L": Disable
	CSN	I	Chip Select Pin in serial 3-wire mode
	CAD0	I	Chip Address Pin in serial I ² C mode
7	ACKS	I	Auto Setting Mode Pin in parallel mode "L": Manual Setting Mode, "H": Auto Setting Mode
	CCLK	I	Control Data Clock Pin in serial 3-wire mode
	SCL	I	Control Data Clock Pin in serial I ² C mode
8	DIF0	I	Audio Data Interface Format Pin in parallel mode
	CDTI	I	Control Data Input Pin in serial 3-wire mode
	SDA	I/O	Control Data Pin in serial I ² C mode
9	SDTI2	I	DAC2 Audio Serial Data Input Pin
10	SDTI3	I	DAC3 Audio Serial Data Input Pin
11	SDTI4	I	DAC4 Audio Serial Data Input Pin
12	TDM0B	I	TDM I/F Format Mode in parallel control mode "L": TDM256 mode, "H": Normal mode
13	DEM0	I	De-emphasis Filter Enable Pin. in parallel mode
14	I2C	I	Control Mode Select Pin in serial mode "L": 3-wire Serial, "H": I ² C Bus
	DEM1	I	De-emphasis Filter Enable Pin in parallel mode
15	P/S	I	Parallel/Serial Select Pin (Internal pull-up pin, typ 100kΩ) "L": Serial control mode, "H": Parallel control mode
16	AVDD	-	DAC Analog Power Supply Pin: 4.5V~5.5V
17	VSS1	-	Ground Pin
18	ROUT4	O	DAC4 Rch Analog Output Pin
19	LOUT4	O	DAC4 Lch Analog Output Pin
20	ROUT3	O	DAC3 Rch Analog Output Pin
21	LOUT3	O	DAC3 Lch Analog Output Pin
22	ROUT2	O	DAC2 Rch Analog Output Pin
23	LOUT2	O	DAC2 Lch Analog Output Pin
24	ROUT1	O	DAC1 Rch Analog Output Pin
25	LOUT1	O	DAC1 Lch Analog Output Pin
26	VEE	O	Negative Voltage Output Pin Connect to VSS2 with a 1.0μF capacitor that should have the low ESR (Equivalent Series Resistance) over all temperature range. When this capacitor has the polarity, the positive polarity pin should be connected to the VSS2 pin. Non polarity capacitors can also be used.
27	CN	I	Negative Charge Pump Capacitor Terminal Pin Connect to CP with a 1.0μF capacitor that should have the low ESR (Equivalent Series Resistance) over all temperature range. When this capacitor has the polarity, the positive polarity pin should be connected to the CP pin. Non polarity capacitors can also be used.
28	CP	I	Positive Charge Pump Capacitor Terminal Pin Connect to CN with a 1.0μF capacitor that should have the low ESR (Equivalent Series Resistance) over all temperature range. When this capacitor has the polarity, the positive polarity pin should be connected to the CP pin. Non polarity capacitors can also be used.

ピン / 機能 (続き)

No.	Pin Name	I/O	Function
29	VSS2	-	Ground Pin
30	VDD	-	Charge Pump and DAC Digital Power Supply Pin: 4.5V~5.5V

Note: P/S pin以外の入力ピンはオープンにしないで下さい。

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

Classification	Pin Name	Setting
Analog	LOUT4-1, ROUT4-1	Leave open.
Digital	SDTI4-1	Connect to VSS2.
	DEM0, TDM0B (Serial control mode)	Connect to VDD or VSS2.
	TEST	Leave open.

絶対最大定格

(VSS1=VSS2=0V; Note 1)

Parameter	Symbol	min	max	Units
Power Supply	VDD	-0.3	+6.0	V
	AVDD	-0.3	+6.0	V
Input Current (any pins except supplies)	IIN	-	±10	mA
Input Voltage	VIND	-0.3	VDD+0.3	V
Ambient Operating Temperature	Ta	-20	85	°C
Storage Temperature	Tstg	-65	150	°C

Note 1. 電圧はすべてグランドピンに対する値です。

Note 2. VSS1とVSS2は同じアナロググランドに接続して下さい。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

推奨動作条件

(VSS1=VSS2=0V; Note 1)

Parameter	Symbol	min	typ	max	Units
Power Supply	VDD	+4.5	+5.0	+5.5	V
	AVDD		VDD		V

Note 3. VDDとAVDDは同じ電圧。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意下さい。

アナログ特性

(特記なき場合は、 $T_a = 25^\circ\text{C}$; $V_{DD} = AV_{DD} = +5.0\text{V}$; $f_s = 44.1\text{kHz}$; $BICK = 64fs$; Signal Frequency = 1kHz; 24bit Input Data; Measurement frequency = 20Hz ~ 20kHz; $R_L \geq 5k\Omega$)

Parameter	min	typ	max	Units	
Resolution			24	Bits	
Dynamic Characteristics (Note 4)					
THD+N (0dBFS)	$f_s=44.1\text{kHz}$, BW=20kHz		-93	-84	dB
	$f_s=96\text{kHz}$, BW=40kHz		-92	-	dB
	$f_s=192\text{kHz}$, BW=40kHz		-92	-	dB
Dynamic Range (-60dBFS with A-weighted, Note 5)	98	105		dB	
S/N (A-weighted, Note 6)	98	105		dB	
Interchannel Isolation (1kHz)	90	100		dB	
Interchannel Gain Mismatch		0.2	0.5	dB	
DC Accuracy					
DC offset (at output pin)	-60	0	+60	mV	
Gain Drift		100		ppm/ $^\circ\text{C}$	
Output Voltage (Note 7)	1.97	2.12	2.27	V_{rms}	
Load Capacitance (Note 8)			25	pF	
Load Resistance	5			k Ω	
Power Supplies					
Power Supply Current: (Note 9)					
Normal Operation ($f_s \leq 96\text{kHz}$)		80	110	mA	
Normal Operation ($f_s = 192\text{kHz}$)		85	120	mA	
Power-Down Mode (Note 10)		20	100	μA	

Note 4. Audio Precision (System Two)使用。測定結果は評価ボードのマニュアルを参照下さい。

Note 5. 98dB at 16bit data

Note 6. S/N比は入力ビット長に依存しません。

Note 7. フルスケール電圧 (0dB)。出力電圧は AV_{DD} の電圧に比例します。

$$A_{OUT} (\text{typ. @ } 0\text{dB}) = 2.12V_{rms} \times V_{DD}/5.$$

Note 8. 容量性負荷を駆動する場合は、直列に抵抗を入れて下さい。

Note 9. V_{DD} と AV_{DD} に流れる電流の合計です。

Note 10. P/S pin は V_{DD} に固定、また、クロック (MCLK, BICK, LRCK) を含むその他の全デジタル入力ピンは V_{SS2} に固定した場合の値です。

シャープロールオフ・フィルタ特性

(Ta = 25°C; VDD=AVDD = 4.5 ~ 5.5V; fs = 44.1kHz; DEM = OFF; SLOW = "0")

Parameter	Symbol	min	typ	max	Units	
Digital filter						
Passband	$\pm 0.05\text{dB}$ (Note 11) -6.0dB	PB	0	22.05	20.0 kHz	
Stopband	(Note 11)	SB	24.1		kHz	
Passband Ripple		PR		± 0.02	dB	
Stopband Attenuation		SA	54		dB	
Group Delay	(Note 12)	GD	-	19.3	1/fs	
Digital Filter + SCF + LPF						
Frequency Response	20.0kHz	Fs=44.1kHz	FR	-	± 0.05	dB
	40.0kHz	Fs=96kHz	FR	-	± 0.05	dB
	80.0kHz	Fs=192kHz	FR	-	± 0.05	dB

Note 11. 通過域、阻止域の周波数は fs (システムサンプリングレート) に比例し、PB=0.4535×fs(@±0.05dB)、SB=0.546×fs です。

Note 12. デジタルフィルタによる演算遅延で、16/24ビットデータが入レジスタにセットされてからアナログ信号が出力されるまでの時間です。

スローロールオフ・フィルタ特性

(Ta = 25°C; VDD= AVDD = 4.5~5.5V; fs = 44.1kHz; DEM = OFF; SLOW = "1")

Parameter	Symbol	min	typ	max	Units	
Digital Filter						
Passband	$\pm 0.04\text{dB}$ (Note 13) -3.0dB	PB	0	18.2	8.1 kHz	
Stopband	(Note 13)	SB	39.2		kHz	
Passband Ripple		PR		± 0.005	dB	
Stopband Attenuation		SA	72		dB	
Group Delay	(Note 12)	GD	-	19.3	1/fs	
Digital Filter + SCF + LPF						
Frequency Response	20.0kHz	fs=44.kHz	FR	-	+0.1/-4.3	dB
	40.0kHz	fs=96kHz	FR	-	+0.1/-3.3	dB
	80.0kHz	fs=192kHz	FR	-	+0.1/-3.7	dB

Note 13. 通過域、阻止域の周波数は fs (システムサンプリングレート) に比例し、PB = 0.185×fs (@±0.04dB)、SB = 0.888×fs。

DC特性

(Ta = 25°C; VDD=AVDD = 4.5 ~ 5.5V)

Parameter	Symbol	min	typ	max	Units
High-Level Input Voltage	VIH	2.2	-	-	V
Low-Level Input Voltage	VIL	-	-	0.8	V
Low-Level Output Voltage					V
DIF0/CDTI/SDA (Iout = 3mA)	VOL	-		0.4	V
Input Leakage Current (Note 14)	Iin	-	-	± 10	μA

Note 14. P/S pinを除く。P/S pinは内部でプルアップされています。(typ.100k Ω).

スイッチング特性

(Ta = 25°C; VDD=AVDD = 4.5 ~ 5.5V; CL = 20pF)

Parameter	Symbol	min	typ	max	Units
Master Clock Frequency	fCLK	2.048		36.864	MHz
Duty Cycle	dCLK	40		60	%
LRCK Frequency					
Normal Mode (TDM0= "0", TDM1= "0")					
Normal Speed Mode	fsn	8		48	kHz
Double Speed Mode	fsd	60		96	kHz
Quad Speed Mode	fsq	120		192	kHz
Duty Cycle	Duty	45		55	%
TDM256 mode (TDM0= "1", TDM1= "0")					
Normal Speed Mode	fsn	8		48	kHz
High time	tLRH	1/256fs			ns
Low time	tLRL	1/256fs			ns
TDM128 mode (TDM0= "1", TDM1= "1")					
Normal Speed Mode	fsn	8		48	kHz
Double Speed Mode	fsd	60		96	kHz
High time	tLRH	1/128fs			ns
Low time	tLRL	1/128fs			ns
Audio Interface Timing					
BICK Period	tBCK	81			ns
BICK Pulse Width Low	tBCKL	30			ns
Pulse Width High	tBCKH	30			ns
BICK "↑" to LRCK Edge (Note 15)	tBLR	20			ns
LRCK Edge to BICK "↑" (Note 15)	tLRB	20			ns
SDTI Hold Time	tSDH	10			ns
SDTI Setup Time	tSDS	10			ns
Control Interface Timing (3-wire Serial mode):					
CCLK Period	tCCK	200			ns
CCLK Pulse Width Low	tCCKL	80			ns
Pulse Width High	tCCKH	80			ns
CDTI Setup Time	tCDS	40			ns
CDTI Hold Time	tCDH	40			ns
CSN High Time	tCSW	150			ns
CSN "↓" to CCLK "↑"	tCSS	50			ns
CCLK "↑" to CSN "↑"	tCSH	50			ns
Control Interface Timing (I²C Bus mode):					
SCL Clock Frequency	fSCL	-		400	kHz
Bus Free Time Between Transmissions	tBUF	1.3		-	μs
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	0.6		-	μs
Clock Low Time	tLOW	1.3		-	μs
Clock High Time	tHIGH	0.6		-	μs
Setup Time for Repeated Start Condition	tSU:STA	0.6		-	μs
SDA Hold Time from SCL Falling (Note 16)	tHD:DAT	0		-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1		-	μs
Rise Time of Both SDA and SCL Lines	tR	-		0.3	μs
Fall Time of Both SDA and SCL Lines	tF	-		0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6		-	μs
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0		50	ns
Capacitive load on bus	Cb	-		400	pF

Note 15. この規格値は LRCK のエッジと BICK の "↑" が重ならないように規定しています。

Note 16. データは最低300ns(SCLの立ち下がり時間)の間保持されなければなりません。

Note 17. I²C-busはNXP B.V.の商標です。

■ タイミング波形

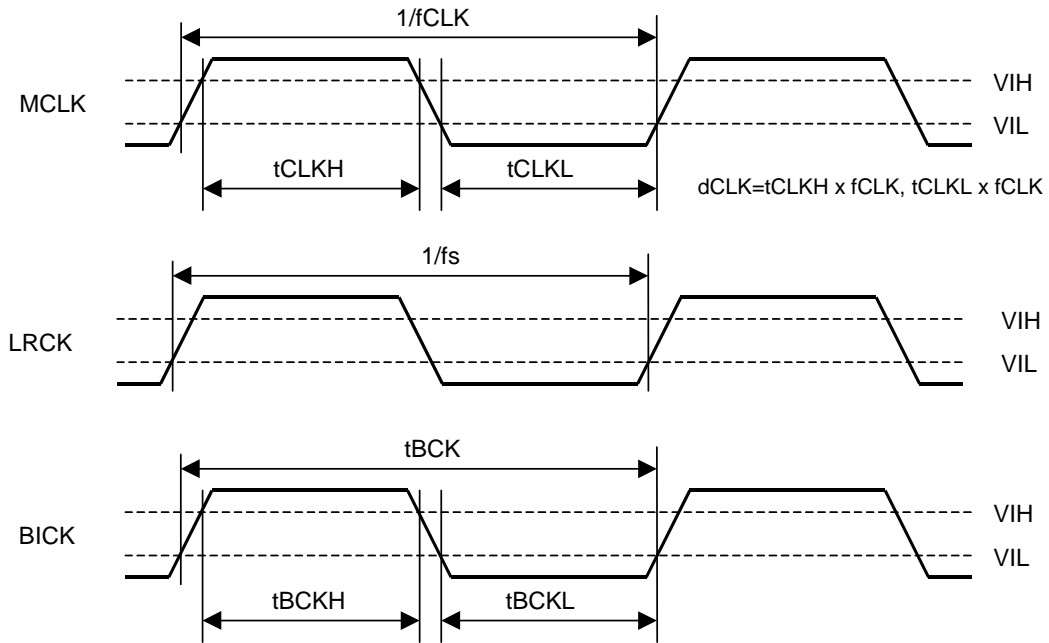


Figure 1. Clock Timing

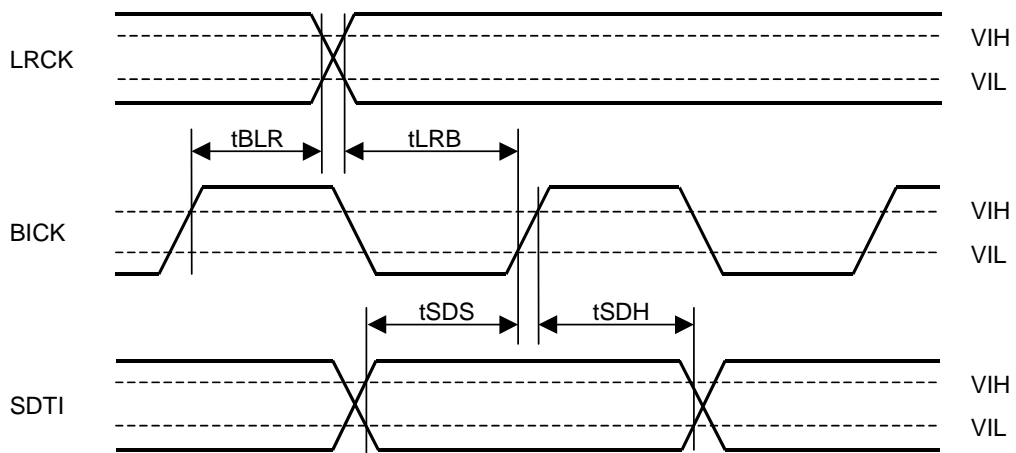


Figure 2. Audio Serial Interface Timing

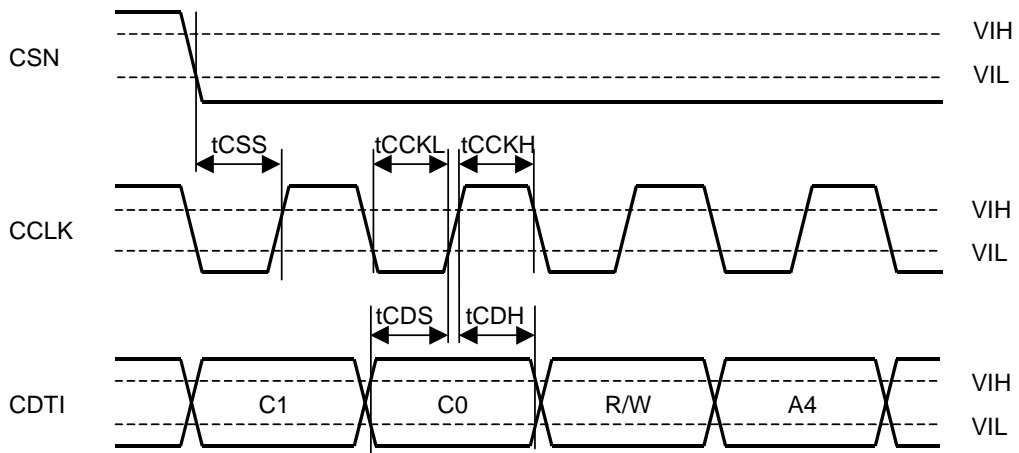


Figure 3. WRITE Command Input Timing

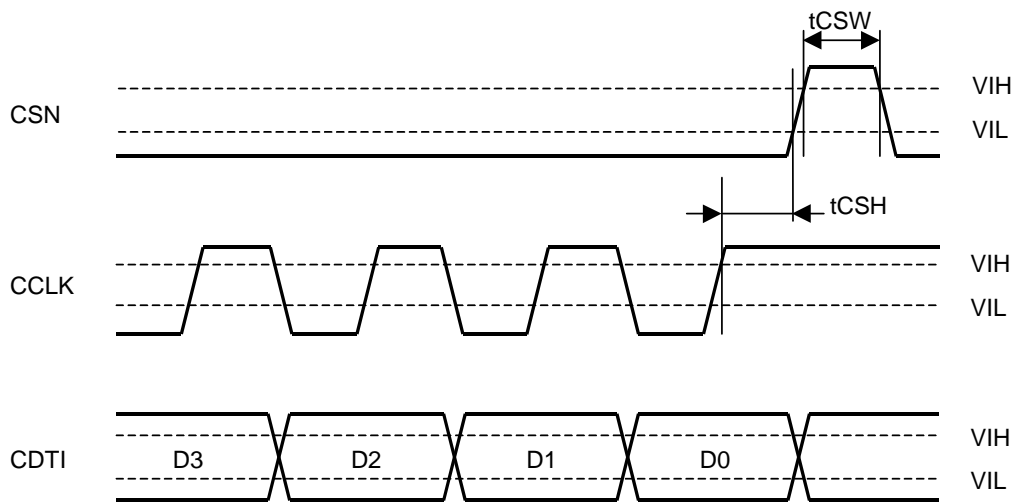


Figure 4. WRITE Data Input Timing

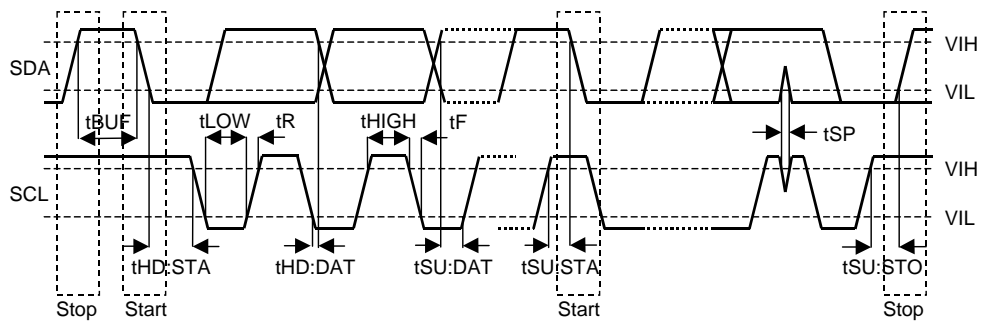


Figure 5. I²C Bus mode Timing

機能説明

■ システムクロック

必要なクロックは、MCLK, LRCK, BICK です。マスタークロック (MCLK) とサンプリングクロック (LRCK) は同期する必要はありますが位相を合わせる必要はありません。MCLK はインタポ - レーションフィルタと $\Delta\Sigma$ 変調器に使用されます。MCLK周波数を設定する方法は内部レジスタで設定する方法 (Manual Setting Mode) とデバイス内部で自動設定する方法 (Auto Setting Mode) の2つがあります。Manual Setting Mode (ACKS bit = “0”: Register 00H)では、DFS1-0 bit でサンプリングスピードが設定され(Table 1)、各スピードでのMCLK周波数は自動設定されます(Table 2~Table 4)。Auto Setting Mode (ACKS bit = “1”: Default) では、サンプリングスピードとMCLK周波数は自動検出され(Table 5)、内部クロックは適切な周波数 (Table 6) に自動設定されるため、DFS1-0 bitの設定は不要です。

パラレルコントロールモード時、ACKS pinで動作スピードを設定できます。従って、ACKS pinが “L”のときはNormal Speed Modeで動作し、ACKS pinが “H”のときはAuto Setting Modeで動作します。パラレルコントロールモード時はDouble Speed Modeの128fs と192fsには対応しません。

動作中にMCLK, LRCK, またはBICKのいずれかが止まった場合は、AK4440は自動的にリセット状態になり、アナログ出力は0V電圧(typ)を出力します。MCLK, LRCK, BICKを再入力後、リセット状態が解除され動作を再開します。電源 ON時は MCLK, LRCK, BICK が入力されるまでパワーダウン状態です。

DFS1 bit	DFS0 bit	Sampling Rate (fs)	
0	0	Normal Speed Mode	8kHz~48kHz
0	1	Double Speed Mode	60kHz~96kHz
1	0	Quad Speed Mode	120kHz~192kHz

(default)

Table 1. サンプリングスピード (Manual Setting Mode)

LRCK fs	MCLK					BICK 64fs
	256fs	384fs	512fs	768fs	1152fs	
32.0kHz	8.1920MHz	12.2880MHz	16.3840MHz	24.5760MHz	36.8640MHz	2.0480MHz
44.1kHz	11.2896MHz	16.9344MHz	22.5792MHz	33.8688MHz	N/A	2.8224MHz
48.0kHz	12.2880MHz	18.4320MHz	24.5760MHz	36.8640MHz	N/A	3.0720MHz

Table 2. システムクロック例 (Normal Speed Mode @Manual Setting Mode) (N/A: Not Available)

LRCK	MCLK				BICK
fs	128fs	192fs	256fs	384fs	64fs
88.2kHz	11.2896MHz	16.9344MHz	22.5792MHz	33.8688MHz	5.6448MHz
96.0kHz	12.2880MHz	18.4320MHz	24.5760MHz	36.8640MHz	6.1440MHz

Table 3. システムクロック例 (Double Speed Mode @Manual Setting Mode)

LRCK	MCLK		BICK
fs	128fs	192fs	64fs
176.4kHz	22.5792MHz	33.8688MHz	11.2896MHz
192.0kHz	24.5760MHz	36.8640MHz	12.2880MHz

Table 4. システムクロック例 (Quad Speed Mode @Manual Setting Mode)

MCLK		Sampling Speed
512fs	768fs	Normal
256fs	384fs	Double
128fs	192fs	Quad

Table 5. サンプリングスピード (Auto Setting Mode)

LRCK	MCLK (MHz)							Sampling Speed
fs	128fs	192fs	256fs	384fs	512fs	768fs	1152fs	
32.0kHz	-	-	-	-	16.3840	24.5760	36.8640	Normal
44.1kHz	-	-	-	-	22.5792	33.8688	-	
48.0kHz	-	-	-	-	24.5760	36.8640	-	
88.2kHz	-	-	22.5792	33.8688	-	-	-	Double
96.0kHz	-	-	24.5760	36.8640	-	-	-	
176.4kHz	22.5792	33.8688	-	-	-	-	-	Quad
192.0kHz	24.5760	36.8640	-	-	-	-	-	

Table 6. システムクロック例 (Auto Setting Mode)

■ オーディオシリアルインタフェースフォーマット

パラレルコントロールモードでは4種類のフォーマット (Table 7) が DIF0 pin と TDM0B pin で選択できます。パラレルコントロールモード時の DIF0 bit と TDM0 bit のレジスタ設定は無効です。シリアルコントロールモードでは11種類のフォーマット (Table 8) が DIF2-0 bit とTDM1-0 bitで選択できます。DIF2-0 bitの初期値は“010”です。全モードとも MSB ファースト、2’s Complementのデータフォーマットで BICK の立ち上がりでラッチされます。Mode 2 を 16/20ビットで使った場合はデータの無い LSB には“0”を入力して下さい。

パラレルコントロールモードでは、TDM0B pin = “L” の時、オーディオインタフェースフォーマットはTDM256モード (Table 7) です。全DAC (8channels) のオーディオデータはSDTI1 pinに入力します。SDTI2-4 pinの入力データは無視されBICKは256fsに固定されます。

シリアルコントロールモード時、TDM0 bitを“1”に設定すると、オーディオI/FはTDMモードになります。この場合TDM1 bitを“0”に設定するとTDM256モード (Table 8) になり、SDTI1 pinに全DAC(8ch)のデータを入力します。SDTI2-4への入力データは無視されます。BICKは256fs固定、LRCKの“H”幅、“L”幅は1/256fs(min)です。TDM128モード (TDM1-0 bit = “11”, Table 8) では、SDTI1 pinにDAC (L1,R1,L2,R2)、SDTI2 pinにDAC (L3,R3,L4,R4) の各4chのデータを入力します。この場合SDTI3-4への入力データは無視され、BICKは128fs固定です。データフォーマットはMSBファースト、2’s complementで、SDTI1はBICKの立ち上がりでラッチされます。

Mode	TDM0B pin	DIF0 pin	SDTI Format	LRCK	BICK	Figure
Normal	2	H	L	24-bit MSB Justified	H/L	≥48fs Figure 8
	3	H	H	24-bit I ² S Compatible	L/H	≥48fs Figure 9
TDM256	5	L	L	24-bit MSB Justified	↑	256fs Figure 10
	6	L	H	24-bit I ² S Compatible	↓	256fs Figure 11

Table 7. Audio Data Formats (Parallel control mode)

Mode	TDM1 bit	TDM0 bit	DIF2 bit	DIF1 bit	DIF0 bit	SDTI Format	LRCK	BICK	Figure	
Normal	0	0	0	0	0	16-bit LSB Justified	H/L	≥32fs	Figure 6	
	1	0	0	0	0	20-bit LSB Justified	H/L	≥40fs	Figure 7	
	2	0	0	0	1	24-bit MSB Justified	H/L	≥48fs	Figure 8	
	3	0	0	0	1	1	24-bit I ² S Compatible	L/H	≥48fs	Figure 9
	4	0	0	1	0	0	24-bit LSB Justified	H/L	≥48fs	Figure 7
TDM256		0	1	0	0	N/A				
		0	1	0	0	1	N/A			
	5	0	1	0	1	0	24-bit MSB Justified	↑	256fs	Figure 10
	6	0	1	0	1	1	24-bit I ² S Compatible	↓	256fs	Figure 11
	7	0	1	1	0	0	24-bit LSB Justified	↑	256fs	Figure 12
TDM128		1	1	0	0	0	N/A			
		1	1	0	0	1	N/A			
	8	1	1	0	1	0	24-bit MSB Justified	↑	128fs	Figure 13
	9	1	1	0	1	1	24-bit I ² S Compatible	↓	128fs	Figure 14
	10	1	1	1	0	0	24-bit LSB Justified	↑	128fs	Figure 15

Table 8. Audio Data Formats (Serial control mode) (N/A: Not available)

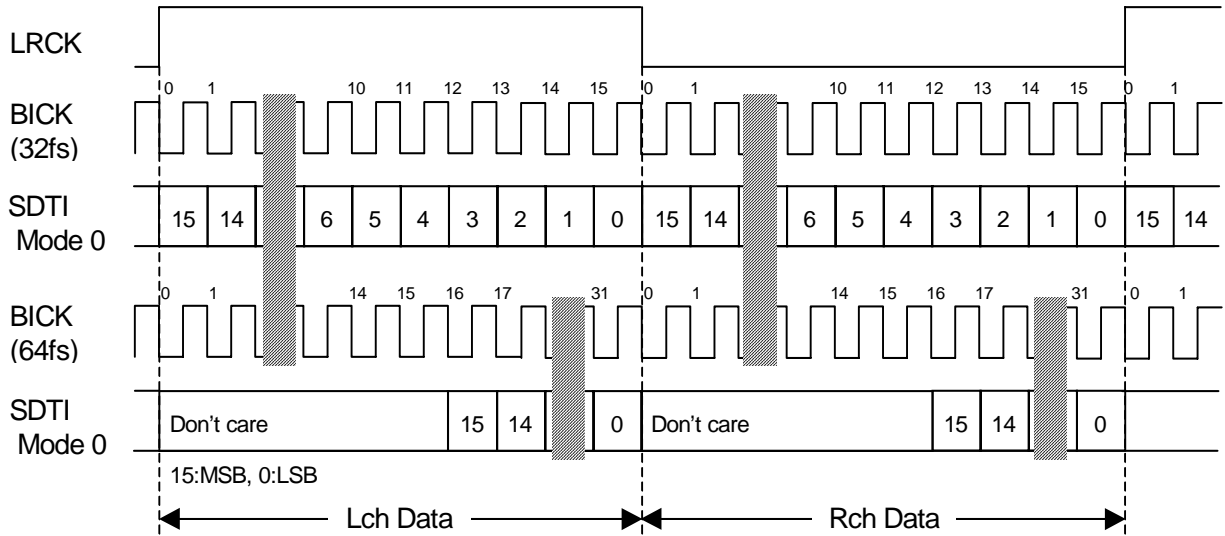


Figure 6. Mode 0 Timing

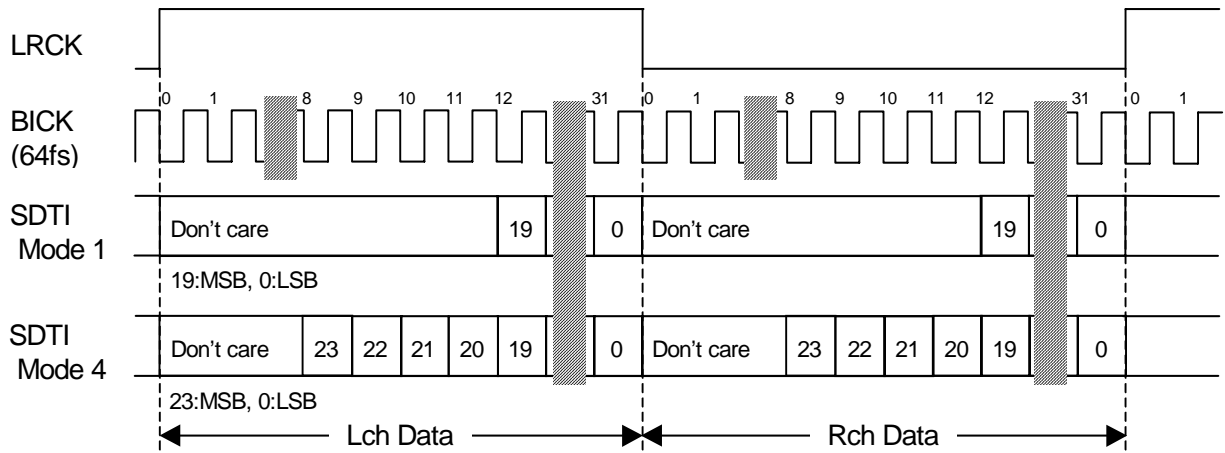


Figure 7. Mode 1/4 Timing

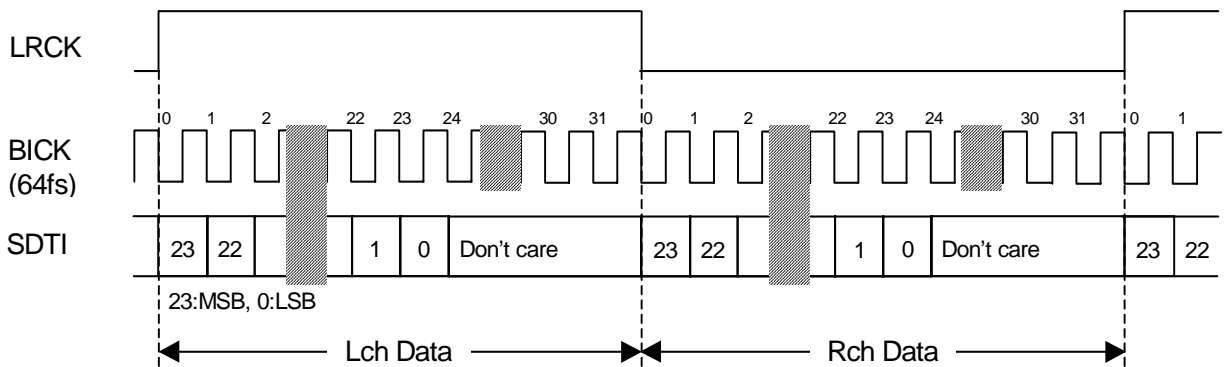


Figure 8. Mode 2 Timing

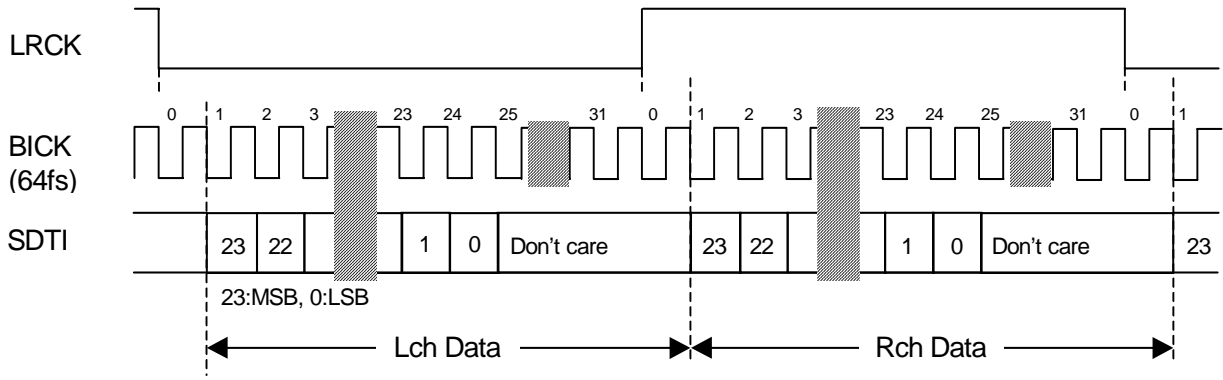


Figure 9. Mode 3 Timing

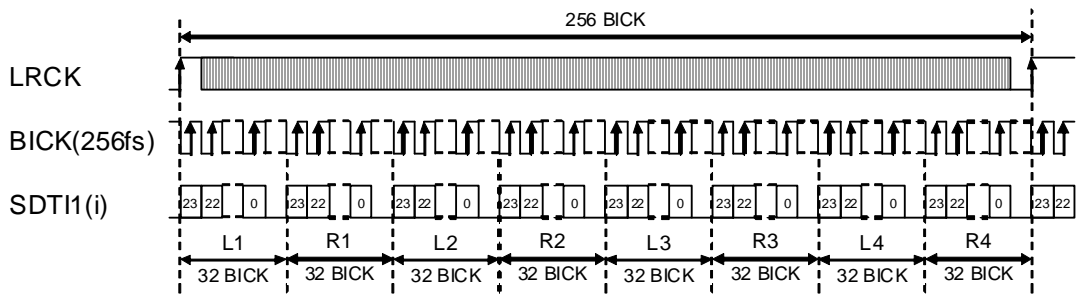


Figure 10. Mode 5 Timing

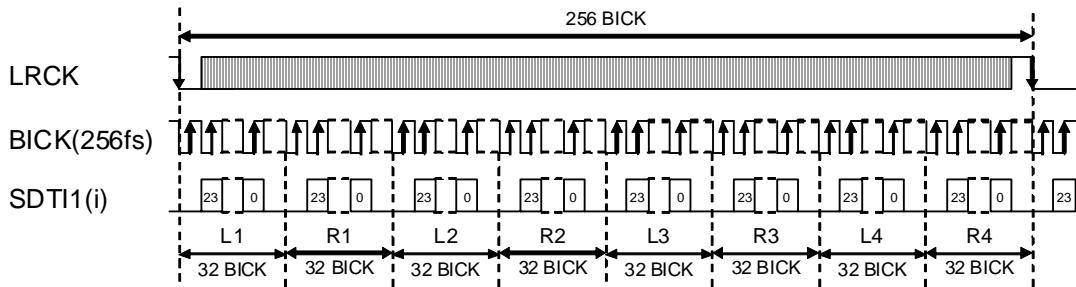


Figure 11. Mode 6 Timing

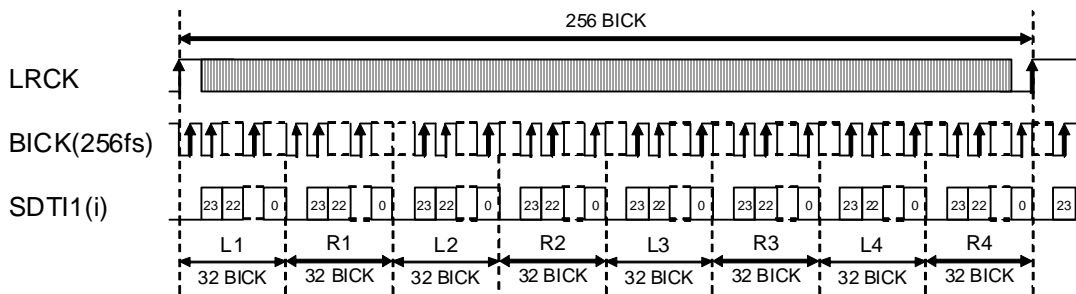


Figure 12. Mode 7 Timing

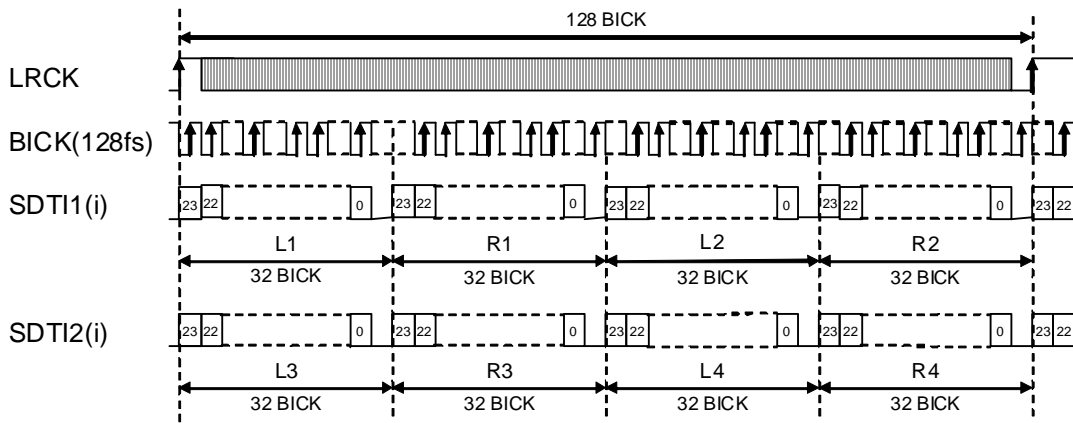


Figure 13. Mode 8 Timing

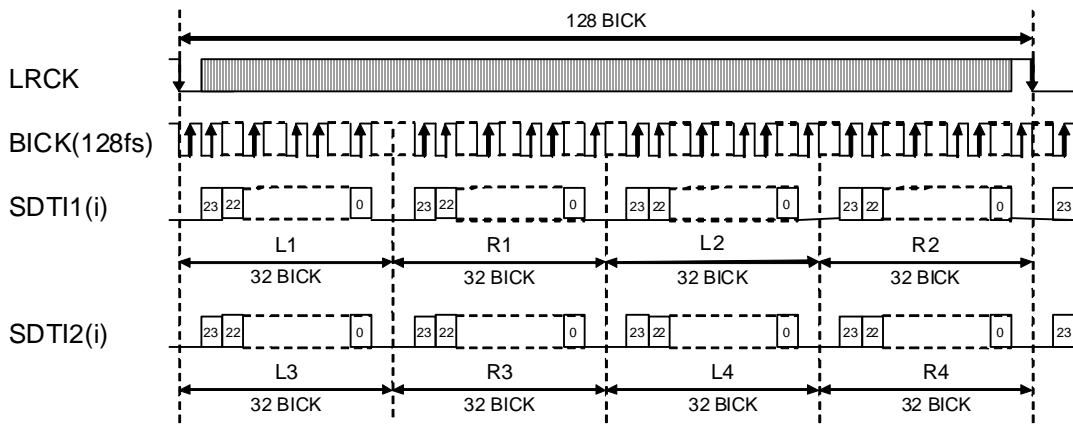


Figure 14. Mode 9 Timing

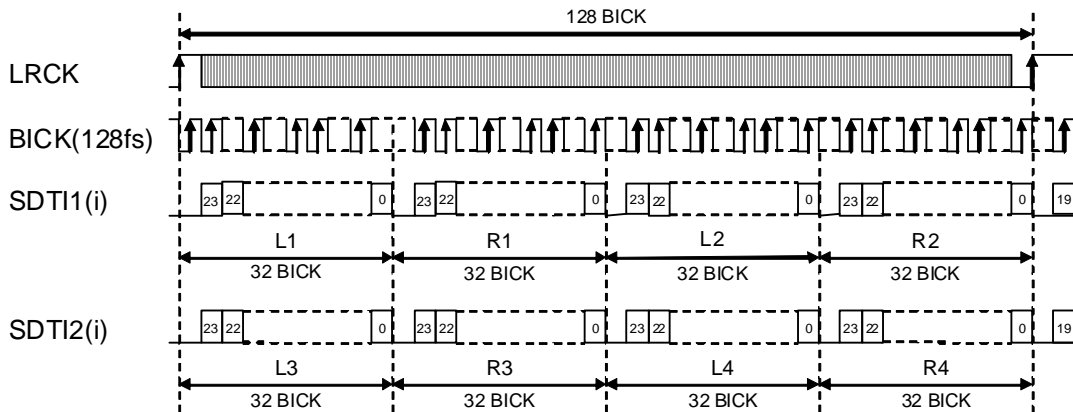


Figure 15. Mode 10 Timing

■ アナログ出力ブロック

AK4440は、内蔵する負電源生成回路(Figure 16)により2Vrmsアンプに負電源を供給することでVSS(0V,typ)中心でオーディオ信号を出力します(Figure 17)。負電源生成回路で使用するCaおよびCbのコンデンサは1.0μFです。低ESR(等価直列抵抗)の部品を使用して下さい。極性付きのコンデンサを使用する場合、それぞれCP側、VSS2側にコンデンサの正極端子を接続して下さい。負電源生成回路(Figure 16)は、選択されたマスタークロックから生成されたクロックで動作します。マスタークロックが入力されない場合、AK4440は自動的にリセット状態になり、アナログ出力はVSS (0V,typ)を出力します。

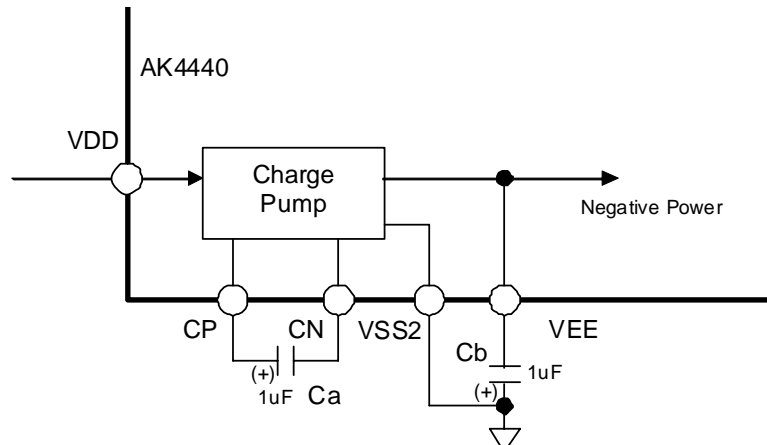


Figure 16. 負電源生成回路

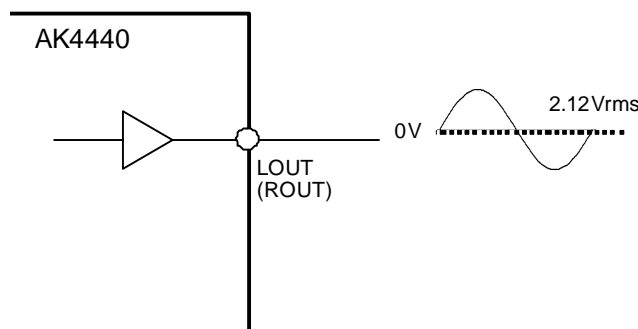


Figure 17. Audio 信号出力

■ ディエンファシスフィルタ

IIR フィルタによる 3 周波数 (32kHz, 44.1kHz, 48kHz) 対応のディエンファシスフィルタ (50/15μs 特性) を内蔵しています。Double Speed Mode, Quad Speed Modeのとき、ディエンファシスフィルタは OFFです。シリアルコントロールモードではDEM1-0 bitはDEMA-D bitで各DACに対し有効になります(Table 9)。パラレルコントロールモード時はDEM1-0 pinが有効になります(Table 10)。

DEM1 bit	DEM0 bit	Mode
0	0	44.1kHz
0	1	OFF
1	0	48kHz
1	1	32kHz

(default)

Table 9 ディエンファシスコントロール in Serial Mode (Normal Speed Mode)

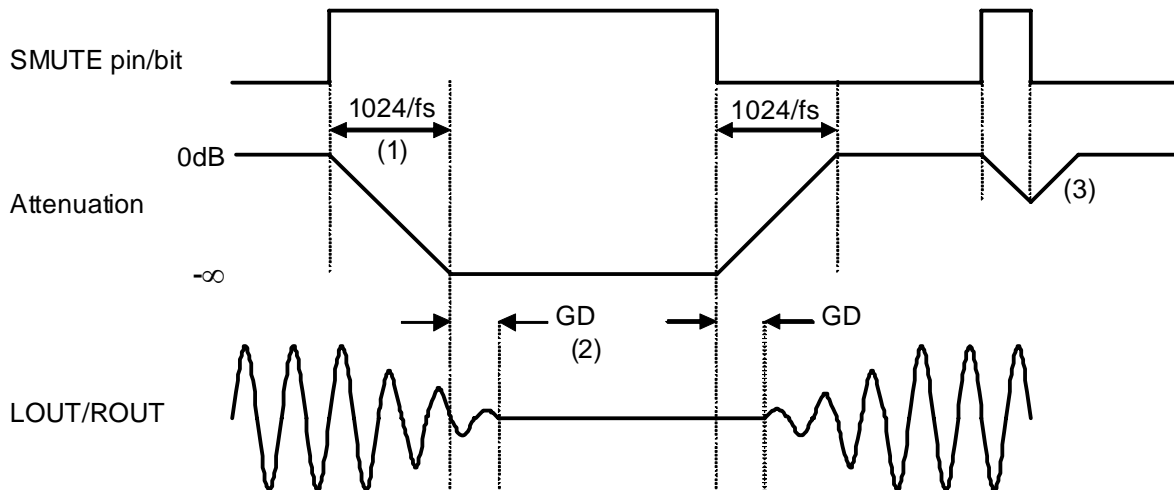
DEM1 pin	DEM0 pin	Mode
L	L	44.1kHz
L	H	OFF
H	L	48kHz
H	H	32kHz

(default)

Table 10 ディエンファシスコントロールin Parallel Mode (Normal Speed Mode)

■ ソフトミュート機能

ソフトミュートはデジタル的に実行されます。SMUTE pin/bitを“1”にするとNormal Speed Modeの場合1024LRCKサイクルで入力データが $-\infty$ (“0”)までアテネーションされます。SMUTE pin/bitを“0”にすると、 $-\infty$ 状態が解除され、 $-\infty$ から1024LRCKサイクルで0dBまで復帰します。ソフトミュート開始後、1024LRCKサイクル以内に解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。



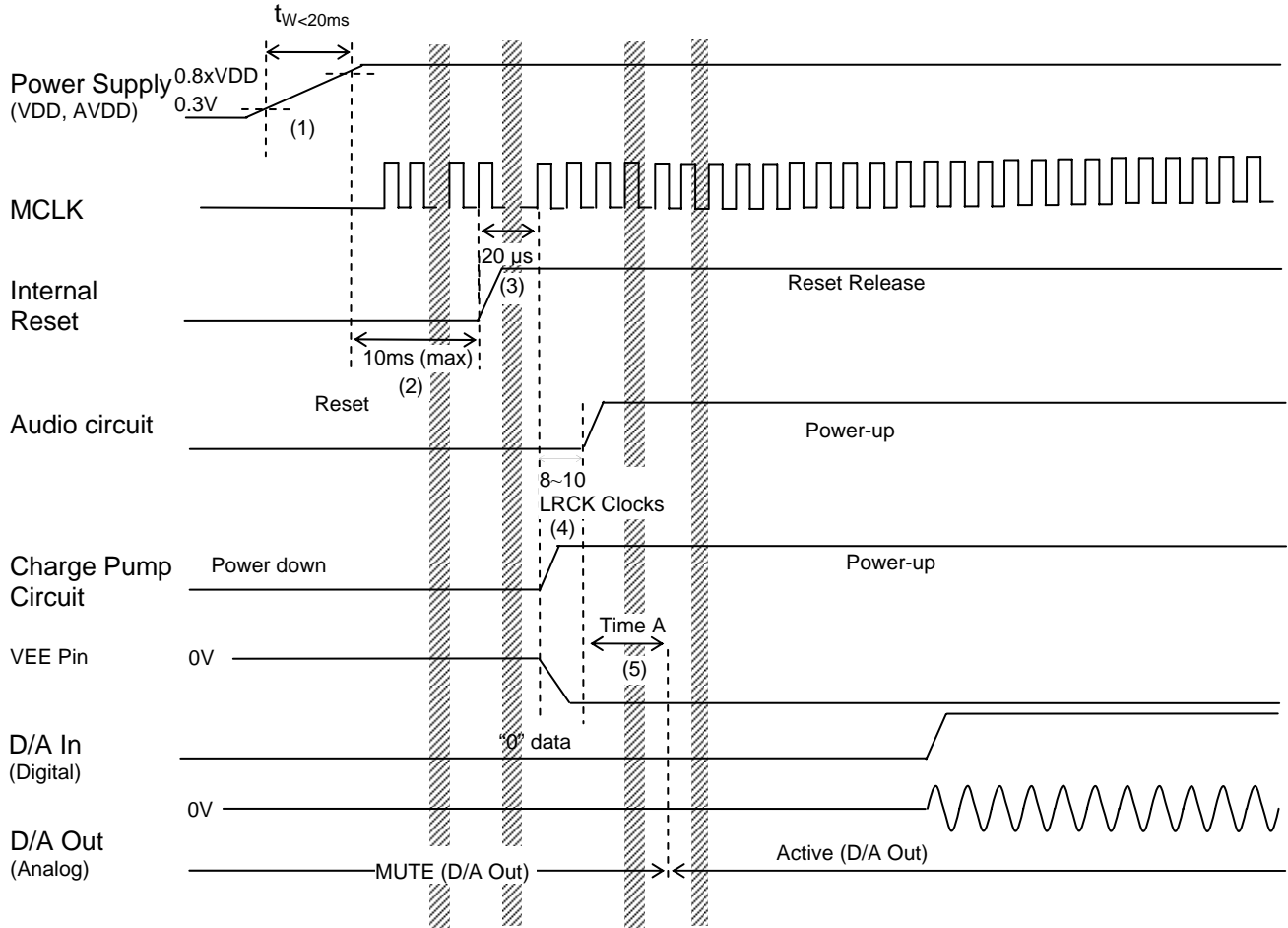
注:

- (1) Normal Speed Mode の場合、1024LRCKサイクル(1024/fs)で入力データが $-\infty$ (“0”)までアテネーションされます。Double Speed Mode の場合、2048LRCKサイクル(2048/fs)、Quad Speed Mode の場合、4096LRCKサイクル(4096/fs)、で入力データが $-\infty$ (“0”)までアテネーションされます。
- (2) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (3) ソフトミュート開始後、1024LRCKサイクル以内 (Normal Speed Mode の場合) に解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。

Figure 18. ソフトミュート機能

■ システムリセット

電源ON時、AK4440はパワーダウン状態で立ち上がります。パワーダウン状態はMCLKで解除され、その後 LRCKの“↑”に同期して内部回路がパワーアップし、内部のタイミングが動作します。LRCKが入力されるまでパワーダウン状態です。



注:

- (1) 電源の立ち上げ時間 (t_w : 0.3Vから80%VDDまでの時間) は20msec以内にして下さい。
- (2) 電源立ち上げ後10msec(max)後にInternal Resetが解除されレジスタ書き込み可能になります。
- (3) Internal Reset が解除されるとMCLK入力後、約20us後に内部アナログ回路、チャージポンプ回路が立ち上がります。
- (4) アナログ回路のパワーダウン解除後、8～10 LRCK後にデジタル回路がパワーアップします。
- (5) デジタル回路がパワーアップ後、 $1024/(f_s * 16)$: (Normal speed modeの場合) 後、DAC出力のミュートが解除されます。

time A = $1024/(f_s * 16)$: Normal speed mode

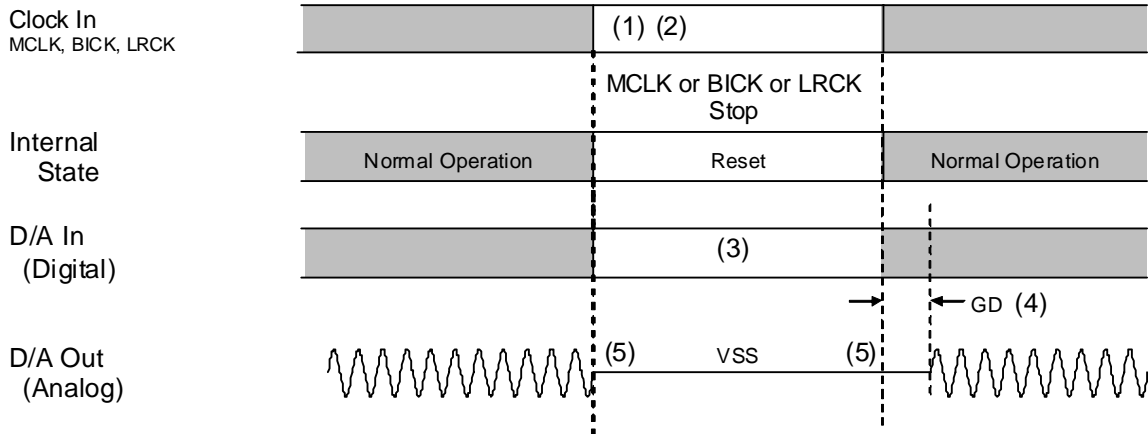
time A = $1024/(f_s * 8)$: Double speed mode

time A = $1024/(f_s * 4)$: Quadruple speed mode

Figure 19. System Reset Diagram

■ リセット機能

動作中にMCLK、LRCK またはBICKが止まった場合は、AK4440のDAC部は自動的にリセット状態になり、アナログ出力はVSS(0V,typ)を出力します。MCLKとLRCKとBICKの全クロックを再入力後、リセット状態が解除され動作を再開します。



注:

- (1) リセット状態(MCLKまたはLRCK停止またはBICK停止)では各クロック入力(MCLK, BICK, LRCK)を止めることができます。
- (2) MCLKが2048fsを超えた時間LRCKまたはBICKが停止した場合、LRCK停止またはBICK停止と判定します。LRCK停止判定時にLRCKが入力されるとリセット状態が解除され、BICK停止判定時にBICKが入力されるとリセット状態が解除されます。
- (3) デジタルデータの入力を止めることができます。この区間に“0”データを入力しておくことで、MCLKとLRCKとBICK再入力後のクリックノイズを軽減できます。
- (4) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (5) 通常の使用条件ではクリックノイズは聞こえません。

Figure 20. リセットタイミング例

■ レジスタコントロールインタフェース

レジスタへの書き込み方式は2種類(3線シリアル、I²Cバス)あります。I²CモードではチップアドレスはCAD0 pinの設定で決定されます。3線シリアルコントロールモードではチップアドレスは“11”固定です。RSTN bitに“0”を書き込むと内部タイミング回路がリセットされます。但し、この時レジスタの内容は初期化されません。

* AK4440はデータ読み出しはサポートしません。

* 動作時にP/S pinでパラレル/シリアルコントロールモードを変更した場合はRSTB bitでリセットして下さい。

* シリアルコントロールモードではパラレルピンの設定は無効です。

Function	Parallel Control Mode	Serial Control Mode
Double sampling mode at 128/192fs	-	X
De-emphasis	X	X
SMUTE	X	X
16/20/24bit LSB justified format	-	X
TDM256 mode	X	X
TDM128 mode	-	X

Table 11 機能表 (X: Available, -: Not Available)

(1) 3線シリアルコントロールモード (I2C pin = “L”)

レジスタ設定は3線式シリアル I/F ピン: CSN, CCLK, CDTI で書き込みを行います。I/F上のデータは Chip address (2bit, C1/0, “11”固定), Read/Write (1bit, “1”固定, Write only), Register address (MSB first, 5bit) と Control data (MSB first, 8bit)で構成されます。データはCCLKの“↑”で取り込みます。データの書き込みはCSNの“↑”で有効になります。CCLKのクロックスピードは5MHz (max)です。

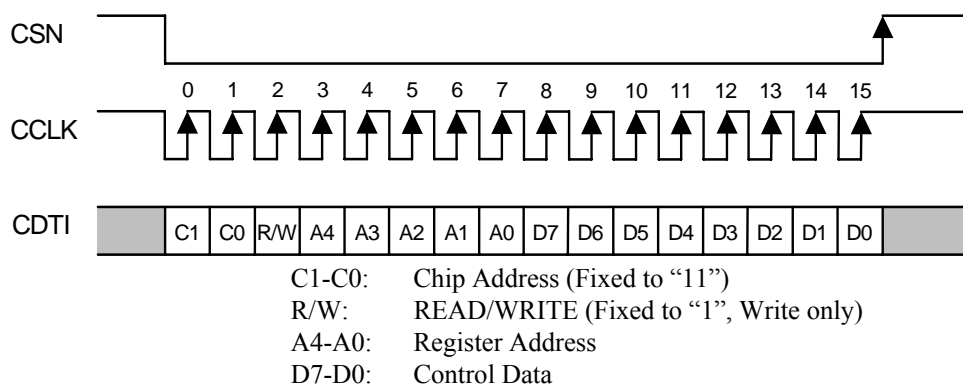


Figure 21. Control I/F Timing

(2) I²Cバスコントロールモード(I2C pin = “H”)

AK4440はI²Cバスモードの高速モード(max:400kHz)に対応します。

I²Cバスモードにおけるデータ転送シーケンスはFigure 22に示されます。バス上のICへのアクセスには、最初に開始条件(Start Condition)を入力します。SCLラインが“H”の時にSDAラインを“H”から“L”にすると、開始条件が作られます(Figure 26)。開始条件の後、スレーブアドレスが送信されます。このアドレスは7ビットから構成され、8ビット目にはデータ方向ビット(R/W)が続きます(Figure 23)。上位6ビットは“001001”固定、次の1ビットはアクセスするICを選ぶためのアドレスビットでCAD0 pinにより設定されます。アドレスが一致し、R/W bitが“0”の場合、AK4440は確認応答(Acknowledge)を生成し、Write命令が実行されます。R/W bitが“1”の場合、AK4440は何も応答しません(Figure 27)。

第2バイトはサブアドレス(レジスタアドレス)です。サブアドレスは8ビット、MSB firstで構成され、上位3ビットは“0”固定です(Figure 24)。第3バイト以降はコントロールデータです。コントロールデータは8ビット、MSB firstで構成されます(Figure 25)。AK4440は、各バイトの受信を完了するたびに確認応答を生成します。データ転送は、必ずマスタが生成する停止条件(Stop Condition)によって終了します。SCLラインが“H”の時にSDAラインを“L”から“H”にすると、停止条件が作られます(Figure 26)。

AK4440は複数のバイトのデータを一度に書き込むことができます。データを1バイト送った後、停止条件を送らず更にデータを送ると、サブアドレスが自動的にインクリメントされ、次のデータは次のサブアドレスに格納されます。アドレス“03H”を越えるデータを送ると、内部レジスタに対応するアドレスカウンタはロールオーバーし、アドレス“00H”から順に格納されます。

クロックが“H”の間は、SDAラインの状態は一定でなければなりません。データラインが“H”と“L”の間で状態を変更できるのは、SCLラインのクロック信号が“L”の時に限られます(Figure 28)。SCLラインが“H”の時にSDAラインを変更するのは、開始条件、停止条件を入力するときのみです。

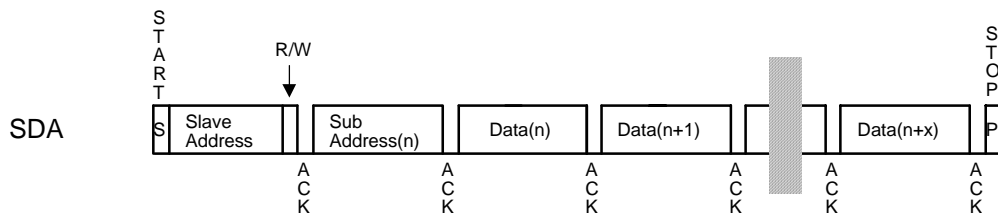


Figure 22. I²Cバスモードのデータ転送シーケンス

0	0	1	0	0	1	CAD0	R/W
---	---	---	---	---	---	------	-----

(CAD0はピンにより設定)

Figure 23. 第1バイトの構成

0	0	0	A4	A3	A2	A1	A0
---	---	---	----	----	----	----	----

Figure 24. 第2バイトの構成

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

Figure 25. 第3バイト以降の構成

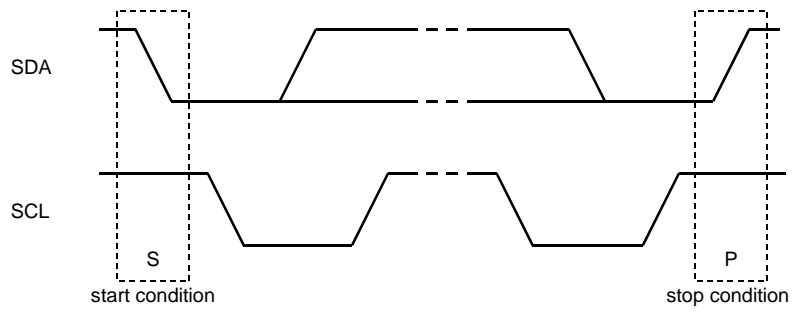


Figure 26. 開始条件と停止条件

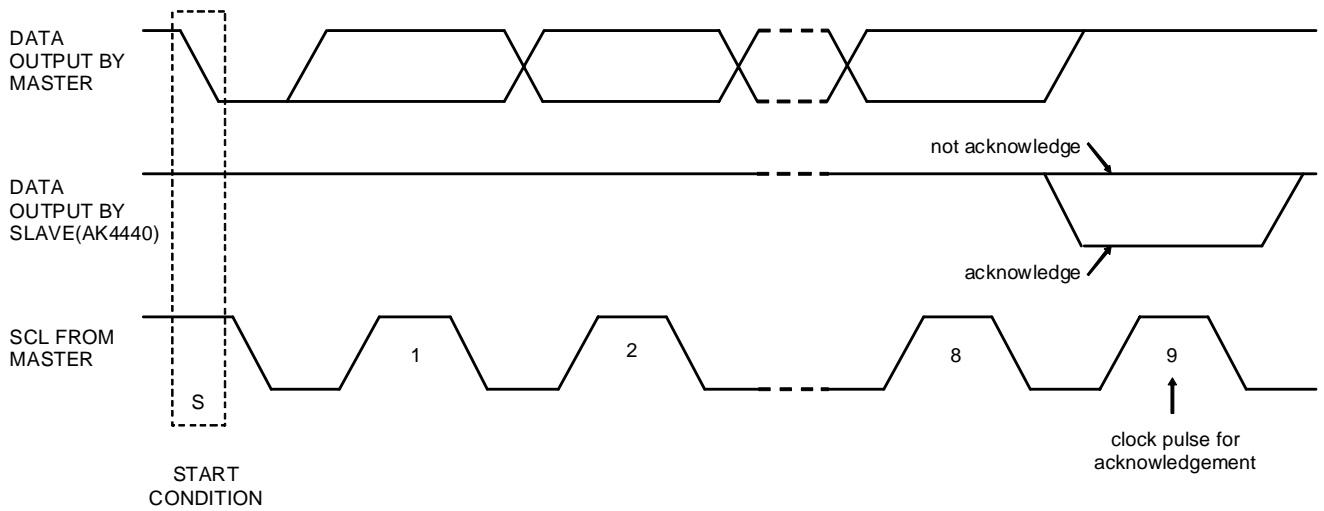


Figure 27. I²Cバスでの確認応答

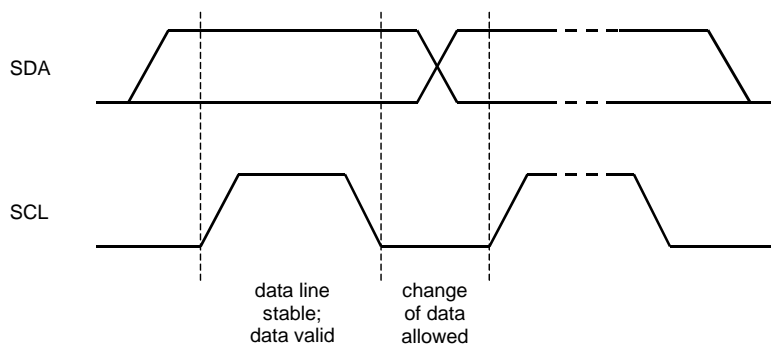


Figure 28. I²Cバスでのビット転送

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	TDM1	TDM0	DIF2	DIF1	DIF0	0	RSTN
01H	Control 2	RRST	0	SLOW	DFS1	DFS0	DEM1	DEM0	SMUTE
02H	Power Down Control	0	0	0	0	PW4	PW3	PW2	PW1
03H	DEM Control	0	0	0	0	DEMA	DEMB	DEMC	DEMD

Note: 04H以上のアドレスは書き込み禁止です。

RSTN bit=“0”では内部タイミングのみリセットされ、レジスタはリセットされません。

レジスタへの書き込みは電源立ち上げから10msec以内に行わないで下さい。

全てのレジスタのデータ書き込みはPW1-4 bit、RSTN bitが“0”の時でも有効です。

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	TDM1	TDM0	DIF2	DIF1	DIF0	0	RSTN
	Default	1	0	0	0	1	0	0	1

RSTN: 内部タイミングリセットコントロール

0: Reset. レジスタはリセットされません。

1: Normal operation

DIF2-0: オーディオインタフェースフォーマット (Table 8)

Default: “010”

TDM0-1: TDM Mode Select

Mode	TDM1	TDM0	BICK	SDTI	Sampling Speed
Normal	0	0	32fs~	1-4	Normal, Double, Quad Speed
TDM256	0	1	256fs fixed	1	Normal Speed
TDM128	1	1	128fs fixed	1-2	Normal, Double Speed

ACKS: マスタクロックオートセッティングモード

0: Disable, Manual Setting Mode

1: Enable, Auto Setting Mode

ACKS bit “1”でマスタクロックが自動的に検出されます。この時DFS1-0 bit の設定は無効です。

ACKS bit “0” の時に、DFS1-0 bit でサンプリングスピードモードの設定を行います。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Control 2	RRST	0	SLOW	DFS1	DFS0	DEM1	DEM0	SMUTE
	Default	0	0	0	0	0	0	1	0

SMUTE: ソフトミュートイネーブル

0: Normal operation

1: DAC outputs soft-muted

DEM1-0: ディエンファシス応答 (Table 9, Table 10)

Default: “01”, OFF

DFS1-0: サンプリングスピードコントロール (Table 1)

00: Normal speed

01: Double speed

10: Quad speed

Normal/Double/Quad Speed Mode の切り替えを行う際にクリックノイズが発生します。

SLOW: Slow Roll-off Filter Enable

0: Sharp Roll-off Filter

1: Slow Roll-off Filter

RRST: レジスタ値の初期化

0: Normal Operation

1: Reset. 全てのレジスタ値を初期化します。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Power Down Control	0	0	0	0	PW4	PW3	PW2	PW1
	Default	0	0	0	0	1	1	1	1

PW4-1: Power-down control (0: Power-down, 1: Power-up)

PW1: Power down control of DAC1

PW2: Power down control of DAC2

PW3: Power down control of DAC3

PW4: Power down control of DAC4

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	DEM Control	0	0	0	0	DEMA	DEMB	DEMC	DEMD
	Default	0	0	0	0	0	0	0	0

DEMA-D: De-emphasis Enable bit of DAC1/2/3/4

0: Disable

1: Enable

システム設計

Figure 29, Figure 30にシステム接続例を示します。具体的な回路と測定例については評価用ボード (AKD4440)を参照して下さい。

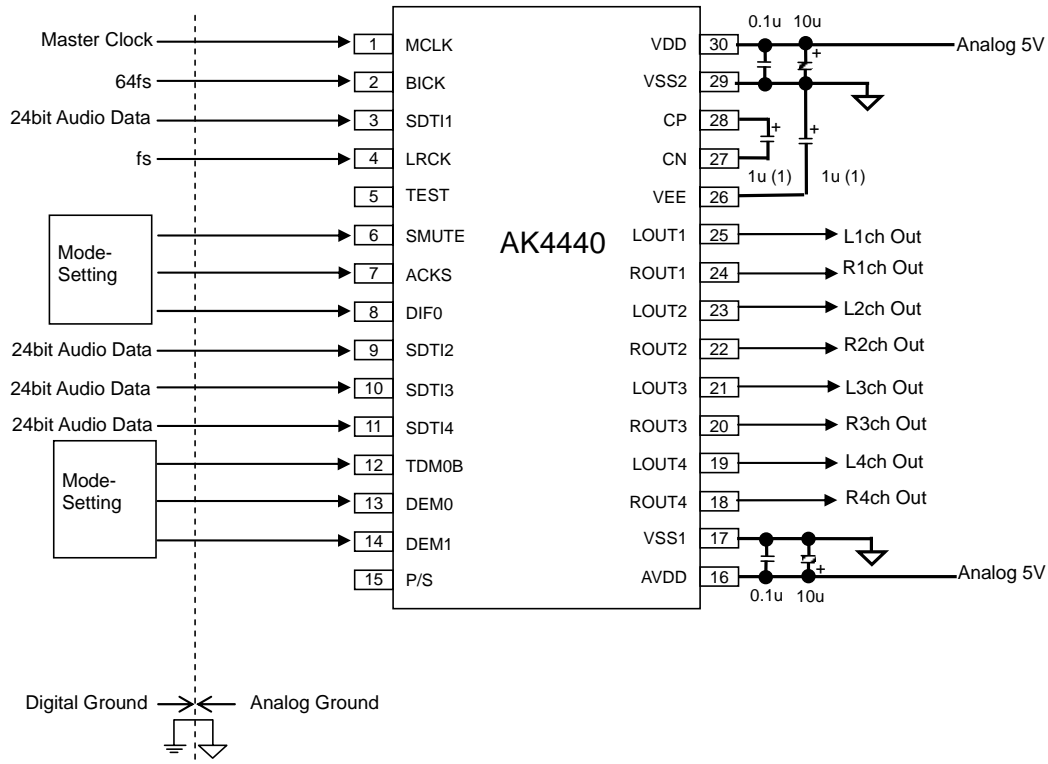


Figure 29. Typical Connection Diagram (Parallel Control Mode)

Notes:

- LRCK = fs, BICK=64fs.
- AOUTが容量性負荷を駆動する場合は直列に抵抗を入れて下さい。
- 低ESR(等価直列抵抗)のコンデンサ(1)を使用してください。極性付きのコンデンサを使用する場合、正極端子をCP, VSS2側に接続してください。
- P/S pin以外の入力はオープンにしないで下さい。

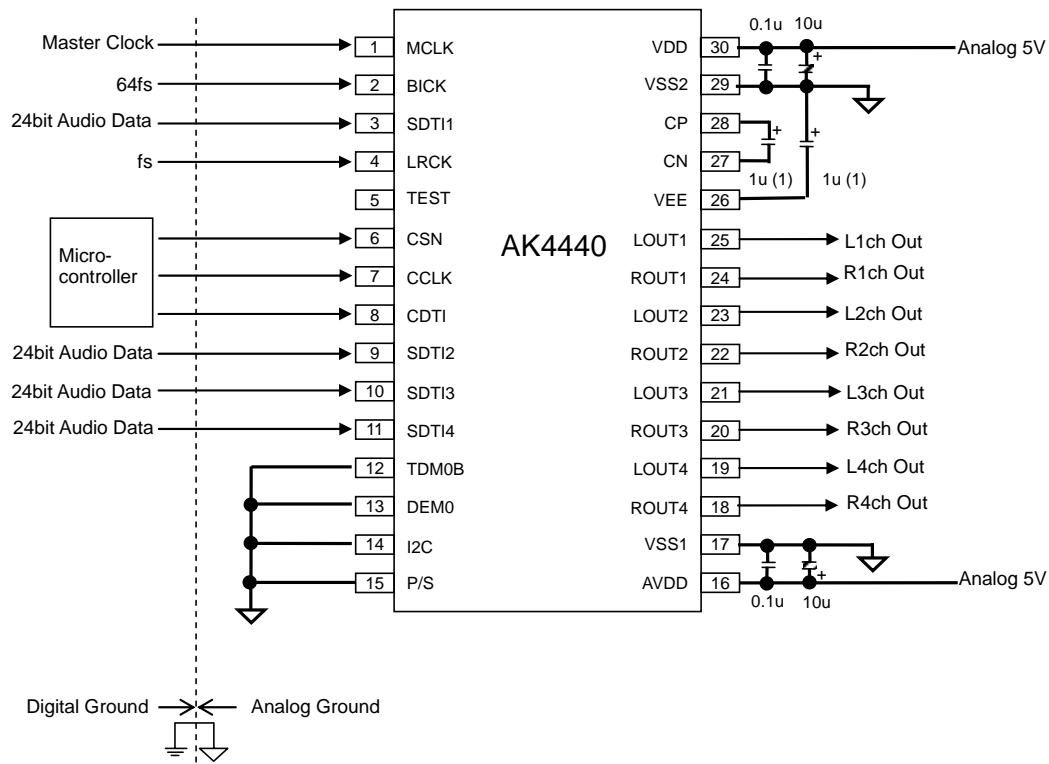


Figure 30. Typical Connection Diagram (3-wire Serial Control Mode)

Notes:

- LRCK = fs, BICK=64fs.
- AOUTが容量性負荷を駆動する場合は直列に抵抗を入れて下さい。
- 低ESR(等価直列抵抗)のコンデンサ(1)を使用してください。極性付きのコンデンサを使用する場合、正極端子をCP, VSS2側に接続してください。
- P/S pin以外の入力はオープンにしないで下さい。

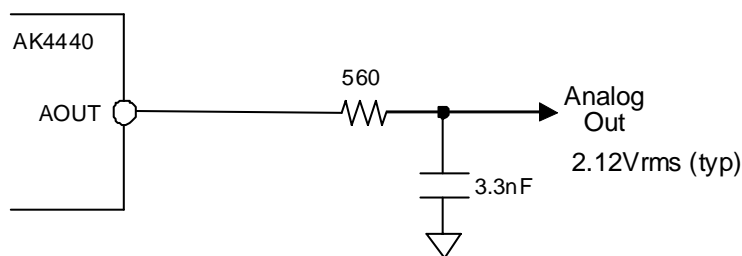
1. グランドと電源のデカップリング

VDD とAVDDにはシステムのアナログ電源を供給し、システムのデジタル電源とは分離して下さい。VDD とAVDDが別電源で供給される場合は VDD、AVDD間の立ち上げシーケンスを考慮する必要はありません。また、VDDとAVDDのデカップリングコンデンサ、特に小容量のセラミックコンデンサはできるだけ近づけて接続します。VSS 1 とVSS2はアナロググランドに接続して下さい。

2. アナログ出力

アナログ出力はシングルエンドになっており、出力レンジはVSS(0V,typ)を中心に 2.12Vrms(typ, @AVDD=5V) です。内蔵の $\Delta\Sigma$ 変調器が発生する帯域外ノイズ (シェーピングノイズ) は内蔵のスイッチトキャパシタフィルタ (SCF) と連続フィルタ (CTF) で減衰されます。帯域外ノイズが問題となる場合は、簡単な1次のLPF(Figure 31)を入れて下さい。

入力コードのフォーマットは 2's complement (2 の補数) で7FFFFFFH(@24bit) に対しては正のフルスケール、800000H(@24bit) に対しては負のフルスケール、000000H(@24bit) での V_{AOUT} の理想値は 0V(VSS)が出力されず、DCオフセットは ± 60 mV以下です。

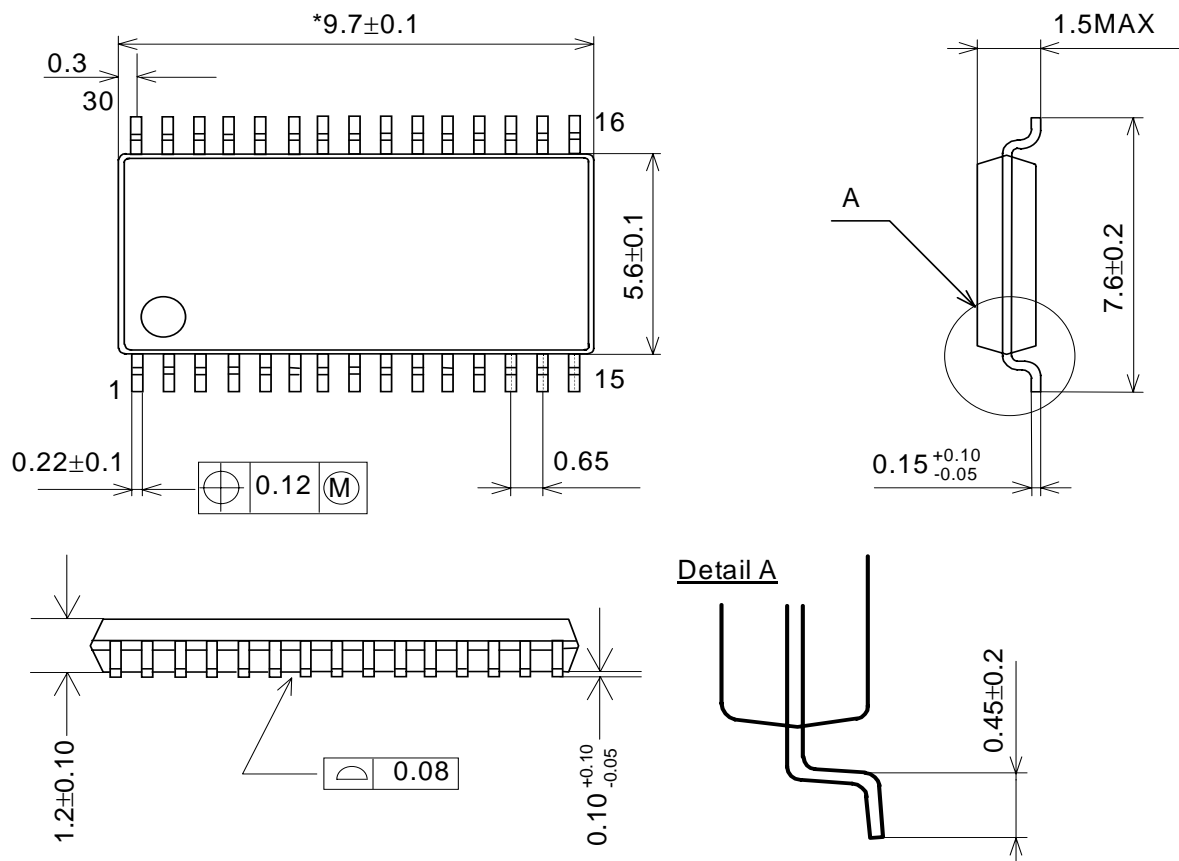


($f_c = 86.1$ kHz, gain = -0.85dB @ 40kHz, gain = -2.70dB @ 80kHz)

Figure 31. External 1st order LPF Circuit Example

パッケージ

30pin VSOP (Unit: mm)



NOTE: Dimension "*" does not include mold flash.

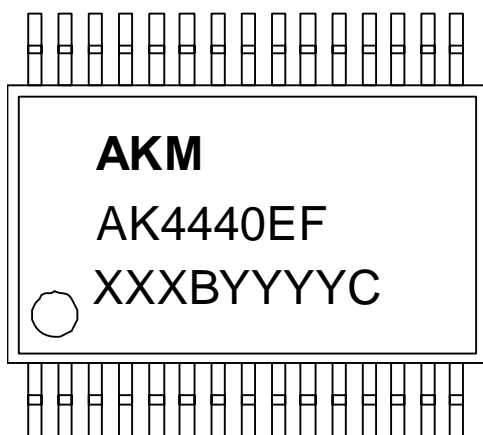
■ 材質・メッキ仕様

パッケージ材質:	エポキシ系樹脂、ハロゲン（臭素、塩素）フリー
リードフレーム材質:	銅
リードフレーム処理:	半田(無鉛)メッキ

RoHS指令

*無鉛パッケージを採用した、旭化成エレクトロニクスデバイスは全てRoHS対応製品です。

マーキング



XXXXXXXXXX Date code identifier

XXXB : Lot number (X: Digit number, B: Alpha character)
 YYYYYC : Assembly date (Y: Digit number, C: Alpha character)

改訂履歴

Date (YY/MM/DD)	Revision	Reason	Page	Contents
09/10/15	00	初版		

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。