



# AK4563A

## Low Power 16bit 4ch ADC & 2ch DAC with ALC

### 概 要

AK4563Aは4ch ADCと2ch DACを内蔵する低電圧動作可能な16bit CODECです。AK4563AはデジタルALC回路を内蔵しておりますので、Microphone等のアプリケーションに最適です。また、マイコンからの制御によりALC動作をOFFすることも可能ですので、IPGAをボリュームとして使用することも可能です。デジタルI/Fは外部から電源を供給することにより、1.5V～3.0Vまで入出力可能です。また、AK4563Aはブロックごとにパワーダウンすることが可能ですので機器の低消費電力化には最適です。

### 特 長

1. 分解能 : 16bits
2. 録音側機能
  - 4ch Analog Input PGA (Programmable Gain Amplifier)
  - Digital ALC ( Auto Level Control) 回路内蔵
  - フェードイン/フェードアウト機能内蔵
  - オフセットキャンセル用HPF内蔵( $f_c=3.7\text{Hz}$ @ $f_s=48\text{kHz}$ )
  - ピークメーター内蔵 (2ch)
3. 再生側機能
  - Digital De-emphasis Filter ( $t_c=50/15\mu\text{s}$ ,  $f_s = 32\text{kHz}$ , 44.1kHz, 48kHz対応)
4. パワーマネジメント機能
5. CODEC (ADC: 4ch, DAC: 2ch)
  - シングルエンド入出力
  - 入出力レベル:  $1.5\text{Vpp}@V_{REF}=2.5\text{V}$  ( $= 0.6 \times V_{REF}$ )
  - $S/(N+D)$ : 83dB(ADC), 86dB(DAC) @ $V_{REF}=2.5\text{V}$
  - DR,  $S/N$ : 87dB(ADC), 91dB(DAC) @ $V_{REF}=2.5\text{V}$
6. Master Clock: 256fs/384fs
7. Sampling Rate: 8kHz ~50kHz
8. Audio Data Interface Format: MSB First, 2's compliment (AK4516A Compatible)
  - ADC: 16bit前詰め, 16bit後詰め,  $I^2S$
  - DAC: 16bit前詰め, 16bit後詰め,  $I^2S$
9. 電源電圧
  - CODEC, PGA: 2.3 ~ 3.0V (typ.2.5V)
  - Digital I/F: 1.5 ~ 3.0V(typ.2.5V)
10. 消費電流
  - ALL Power ON: 18mA
  - (ALC + ADC) x 4ch: 13.5mA
  - DAC: 5.5mA
11.  $T_a = -20 \sim 85$
12. パッケージ: 28pin VSOP

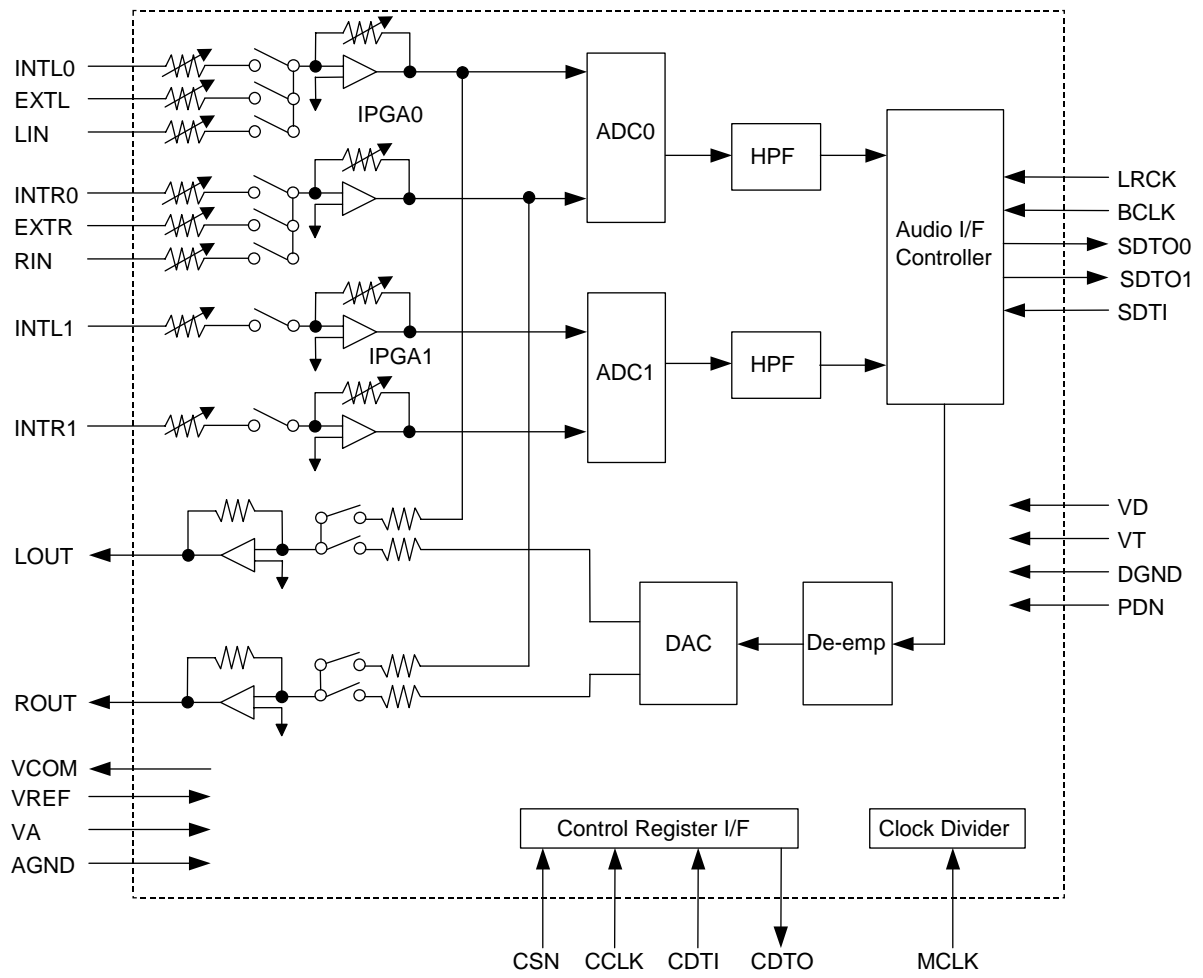


図 1. AK4563Aブロック図

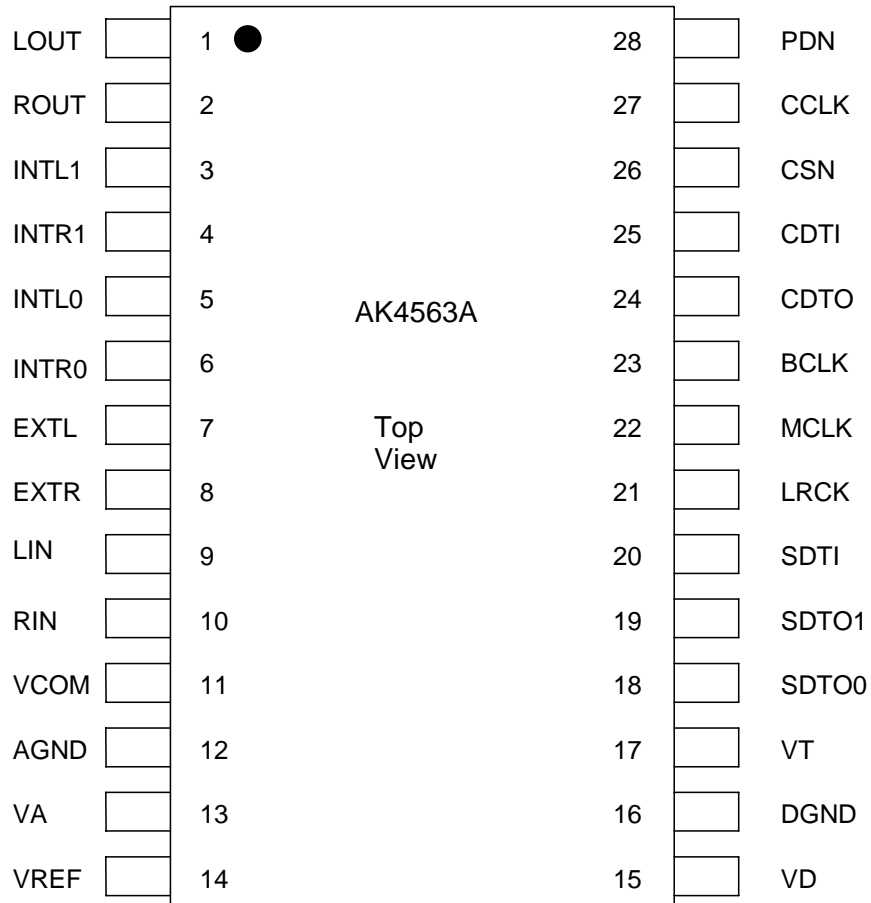
■ オーダリングガイド

AK4563AVF  
AKD4563A

-20 ~ +85°C  
AK4563A評価用ボード

28pin VSOP (0.65mm pitch)

■ ピン配置



## ピン/機能

No.	ピン名称	I/O	機 能
1	LOUT	O	Lch Analog Output Pin
2	ROUT	O	Rch Analog Output Pin
3	INTL1	I	Lch INT #1 Input Pin
4	INTR1	I	Rch INT #1 Input Pin
5	INTL0	I	Lch INT #0 Input Pin
6	INTR0	I	Rch INT #0 Input Pin
7	EXTL	I	Lch EXT Input Pin
8	EXTR	I	Rch EXT Input Pin
9	LIN	I	Lch Line Input Pin
10	RIN	I	Rch Line Input Pin
11	VCOM	O	Common Voltage Output Pin, $0.45 \times V_A$ Bias voltage of ADC inputs and DAC outputs
12	AGND	-	Analog Ground Pin
13	VA	-	Analog Power Supply Pin, +2.3 ~ 3.0V
14	VREF	I	ADC & DAC Voltage Reference Input Pin, $V_A$ Used as a voltage reference of ADC & DAC. VREF is connected externally to filtered $V_A$ .
15	VD	-	Digital Power Supply Pin, +2.3 ~ 3.0V
16	DGND	-	Digital Ground Pin
17	VT	-	Digital I/F Power Supply Pin, +1.5 ~ 3.0V
18	SDTO0	O	Audio Serial Data #0 Output Pin
19	SDTO1	O	Audio Serial Data #1 Output Pin
20	SDTI	I	Audio Serial Data Input Pin
21	LRCK	I	Input/Output Channel Clock Pin
22	MCLK	I	Master Clock Input Pin
23	BCLK	I	Audio Serial Data Clock Pin
24	CDTO	O	Control Data Output Pin
25	CDTI	I	Control Data Input Pin
26	CSN	I	Chip Select Pin
27	CCLK	I	Control Data Clock Pin
28	PDN	I	Power Down & Reset Pin, "L": Power Down & Reset, "H": Normal Operation

注: デジタル入力ピンはフローティングにしないで下さい。

<b>絶対最大定格</b>
---------------

(AGND, DGND=0V;注 1)

Parameter	Symbol	min	max	Units	
電源電圧	アナログ電源(VA pin)	VA	-0.3	4.6	V
	デジタル電源1(VD pin)	VD	-0.3	4.6	V
	デジタル電源2(VT pin)	VT	-0.3	4.6	V
	DGND - AGND  (注 2)	GND	-	0.3	V
入力電流 (電源ピンを除く)	IIN	-	±10	mA	
アナログ入力電圧 INTL1-0,INTR1-0, EXTL, EXTR, LIN, RIN, VREF pins	VINA	-0.3	VA+0.3	V	
デジタル入力電圧	VIND	-0.3	VT+0.3	V	
動作周囲温度	Ta	-20	85	°C	
保存温度	Tstg	-65	150	°C	

注 1. 電圧はすべてグランドピンに対する値です。

注 2. AGNDとDGNDは同電位にして下さい。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また通常の動作は保証されません。

<b>推奨動作条件</b>
---------------

(AGND, DGND=0V; 注 1)

Parameter	Symbol	min	typ	max	Units	
電源電圧	アナログ電源(VA pin)	VA	2.3	2.5	3.0	V
	デジタル電源1(VD pin) (注 3)	VD	2.3 or VA-0.3	2.5	VA	V
	デジタル電源2(VT pin)	VT	1.5	2.5	VD	V
基準電圧	アナログ基準電圧(VREF pin)(注 4)	VREF	-	-	VA	V

注 1. 電圧はすべてグランドピンに対する値です。

注 3. Min値は2.3VあるいはVA-0.3Vのどちらか高い方です。

注 4. 通常、VREF電圧はVAと同じにして下さい。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

## アナログ特性

(特記なき場合は  $T_a=25^{\circ}\text{C}$ ;  $V_A, V_D, V_T=2.5\text{V}$ ;  $f_s=48\text{kHz}$ ; 信号周波数 =  $1\text{kHz}$ ; 測定帯域 =  $10\text{Hz} \sim 20\text{kHz}$ ;  $S/(N+D)$ , D-Range, S/Nはフルスケールに対する値)

Parameter	min	typ	max	Units		
<b>入力PGA特性 (IPGA):</b>						
入力電圧(INTL1-0, INTR1-0, EXTL, EXTR, LIN, RIN pins) (注 5)	1.35	1.5	1.65	Vpp		
入力インピーダンス: MIC(INTL1-0, INTR1-0, EXTL, EXTR pins) LINE(LIN, RIN pins)	6.5 80	10 125	14.5 176	k $\Omega$ k $\Omega$		
ステップ幅 (注 6)	MIC	LINE				
	+28dB ~ -8dB	+6dB ~ -30dB	0.1	0.5	0.9	dB
	-8dB ~ -16dB	-30dB ~ -38dB	0.1	1	1.9	dB
	-16dB ~ -32dB	-38dB ~ -54dB	0.1	2	3.9	dB
	-32dB ~ -40dB	-54dB ~ -62dB	-	2	-	dB
	-40dB ~ -52dB	-62dB ~ -74dB	-	4	-	dB
<b>ADCアナログ入力特性:</b> (注 7)						
分解能			16	Bits		
S/(N+D) (-2dBFS Input)	74	83		dB		
D-Range (EIAJ)	81	87		dB		
S/N (EIAJ)	81	87		dB		
チャンネル間アイソレーション	85	100		dB		
チャンネル間ゲインミスマッチ		0.2	0.5	dB		
<b>DACアナログ出力特性:</b> LOUT/ROUTにて測定						
分解能			16	Bits		
S/(N+D) (0dBFS Input)	77	86		dB		
D-Range (EIAJ)	85	91		dB		
S/N (EIAJ)	85	91		dB		
チャンネル間アイソレーション	85	100		dB		
チャンネル間ゲインミスマッチ		0.2	0.5	dB		
出力電圧 (注 8)	1.35	1.5	1.65	Vpp		
負荷抵抗	10			k $\Omega$		
負荷容量			20	pF		
<b>電源</b>						
電源電流: $V_A+V_D+V_T$						
動作時 (PDN="H")						
全回路パワーアップ (PM4-0="1")		18	27	mA		
IPGA0+ADC0+IPGA1+ADC1 (PM3-0="1")	-	13.5	-	mA		
DAC (PM4="1")	-	5.5	-	mA		
パワーダウン時 (PDN="L") (注 9)		10	100	$\mu\text{A}$		

注 5. IPGA0 = IPGA1 = "0" 時の入力電圧のフルスケール(0dB)。VREFに比例します。  $V_{in} = 0.6 \times V_{REF}$ 。

注 6. IPGA1にはLINE側のゲインテーブルはありません。

注 7. ADC0はINTL0/INTR0 or EXTL/EXTR or LIN/RINから入力しIPGA0を含めて測定。IPGA0の設定は0dB。

ADC1はINTL1/INTR1から入力しIPGA1を含めて測定。IPGA1の設定は0dB。

IPGA0+ADC0, IPGA1+ADC1のDCオフセットは内部のHPFでキャンセルされます。

注 8. アナログ出力電圧はVREFに比例します。  $V_{out} = 0.6 \times V_{REF}$ 。

注 9. パワーダウンモード時はPDNピンを除く全てのデジタル入力ピンはVTあるいはDGNDに固定し、PDNピンはDGNDに固定した値です。

### フィルタ特性

(Ta=25°C; VA, VD=2.3 ~ 3.0V; VT=1.5 ~ 3.0V; fs=48kHz; De-emphasis = OFF)

パラメータ	Symbol	min	typ	max	Units
<b>ADC部デジタルフィルタ (LPF):</b>					
通過域 (注 10)	±0.1dB	PB	0	18.9	kHz
	-1.0dB		-	21.8	kHz
	-3.0dB		-	23.0	kHz
阻止域 (注 10)	SB	29.4			kHz
通過域リップル	PR			±0.1	dB
阻止域減衰量	SA	65			dB
群遅延 (注 11)	GD	-	17.0	-	1/fs
群遅延歪	ΔGD		0		μs
<b>ADC部デジタルフィルタ (HPF):</b>					
周波数応答 (注 10)	-3.0dB	FR	-	3.7	Hz
	-0.56dB		-	10	Hz
	-0.15dB		-	20	Hz
<b>DAC部デジタルフィルタ:</b>					
通過域 (注 10)	±0.1dB	PB	0	21.7	kHz
	-6.0dB		-	24.0	kHz
阻止域 (注 10)	SB	26.2			kHz
通過域リップル	PR			±0.06	dB
阻止域減衰量	SA	43			dB
群遅延 (注 11)	GD	-	14.8	-	1/fs
群遅延歪	ΔGD		0		μs
<b>DAC部デジタルフィルタ + アナログフィルタ:</b>					
振幅特性	0 ~ 20.0kHz	FR		±0.5	dB

注 10. 各振幅特性の周波数は fs (システムサンプリングレート) に比例します。

例えば、ADC部が PB=0.454 x fs(@-1.0dB)、DAC部が PB=0.454 x fs(@-0.1dB) です。

注 11. デジタルフィルタによる演算遅延で、ADC部はアナログ信号が入力されてから両チャンネルの16bitデータが出力レジスタにセットされるまでの時間でHPFによる群遅延も含まれます。DAC部は16bitデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

### DC特性

(Ta=25°C; VA, VD=2.3 ~ 3.0V; VT=1.5 ~ 3.0V)

Parameter	Symbol	min	typ	Max	Units
ハイレベル入力電圧	VIH	80%VT	-	-	V
ローレベル入力電圧	VIL	-	-	20%VT	V
ハイレベル出力電圧 Iout=-400μA	VOH	VT-0.4	-	-	V
ローレベル出力電圧 Iout=400μA	VOL	-	-	0.4	V
入力リーク電流	Iin	-	-	±10	μA

<b>スイッチング特性</b>
-----------------

(Ta=25°C; VA, VD=2.3 ~ 3.0V, VT=1.5 ~ 3.0V; CL=20pF)

パラメータ	Symbol	min	typ	max	Units
<b>コントロールクロック周波数</b>					
マスタクロック(MCLK) 256fs: 周波数	fCLK	2.048	12.288	12.8	MHz
“L”幅	tCLKL	28			ns
“H”幅	tCLKH	28			ns
384fs: 周波数	fCLK	3.072	18.432	19.2	MHz
“L”幅	tCLKL	23			ns
“H”幅	tCLKH	23			ns
チャンネル選択クロック(LRCK) 周波数	fs	8	48	50	kHz
デューティ		45	50	55	%
<b>オーディオ・インタフェースタイミング</b>					
BCLK周期	tBLK	312.5			ns
BCLK “L”幅	tBLKL	130			ns
“H”幅	tBLKH	130			ns
BCLK “↓”から LRCK	tBLR	-tBLKH+50		tBLKL-50	ns
LRCKからSDTO(MSB)遅延時間	tDLR			80	ns
BCLK “↓”からSDTO遅延時間	tDSS			80	ns
SDTI ラッチホールド時間	tSDH	50			ns
SDTI ラッチセットアップ時間	tSDS	50			ns
<b>コントロール・インタフェースタイミング</b>					
CCLK周期	tCCK	200(注 12)			ns
CCLK “L”幅	tCCKL	80			ns
“H”幅 1	tCCKH	80			ns
“H”幅 2	tCKH2	80			ns
CDTI ラッチセットアップ時間	tCDS	50			ns
CDTI ラッチホールド時間	tCDH	50			ns
CSN “H”時間	tCSW	150(注 12)			ns
CSN “↓” からCCLK “↑”	tCSS	50(注 12)			ns
CCLK “↑” からCSN “↑”	tCSH	50			ns
CDTO出力遅延時間	tDCD			70	ns
CSN “↑” からCDTO(Hi-Z)時間 (注 13)	tCCZ			70	ns
<b>リセット/キャリブレーションタイミング</b>					
PDN パルス幅	tPDW	150			ns
PDN “↑” からSDTO0, 1遅延時間	tPDV		4128		1/fs

注 12. fs ≥ 22.4kHz のときです。但し、08H,09H の Read時は、fs ≥ 39.1kHz のときです。

08H,09H の Read 以外、かつ、fs < 22.4kHz のとき、上記仕様に加え、これらの3つのパラメータは (tCSW + tCSS + 6 × tCCK) > 1/(32 × fs) を満たす必要があります。例えば、fs = 8kHz, tCCK = 200ns, tCSS = 50ns のとき tCSW(min) = 2657ns です。fs = 8kHz, tCSW = 150ns, tCSS = 50ns のとき、tCCK(min) = 618ns です。

08H,09H の Read、かつ、fs < 39.1kHz のとき、上記仕様に加え、CCLK周期は tCCK > 1/(128 × fs) を満たす必要があります。例えば、fs = 8kHz のとき、tCCK(min) = 977ns です。

注 13. RL=1kΩ/10%変化(プルアップはVTに対して行います)。

■ タイミング波形

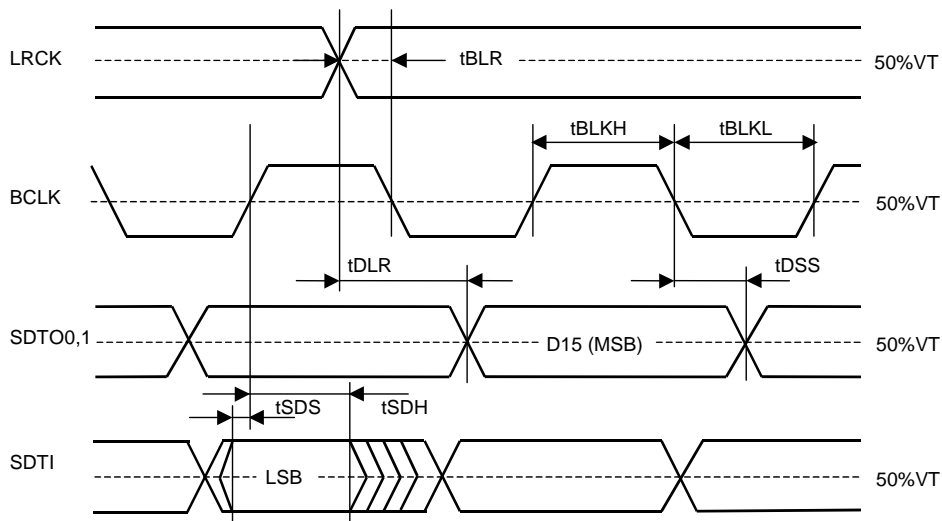


図 2. オーディオデータ入出力タイミング(オーディオI/Fフォーマット:No.0場合)

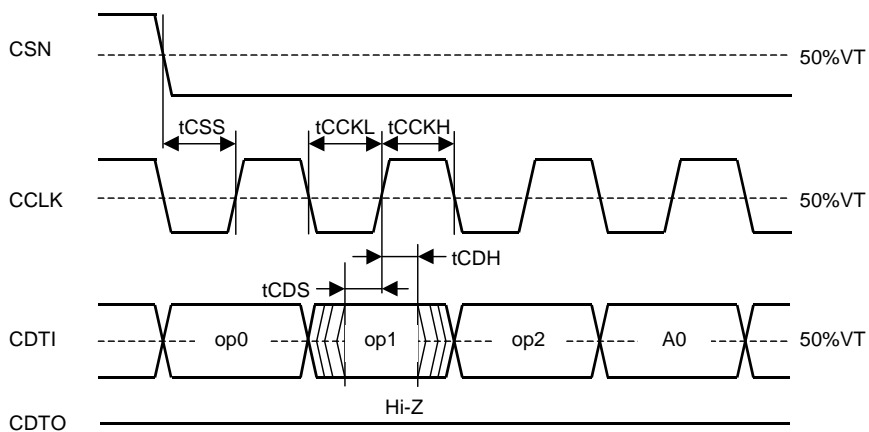


図 3. WRITE/READ時コマンド入力タイミング

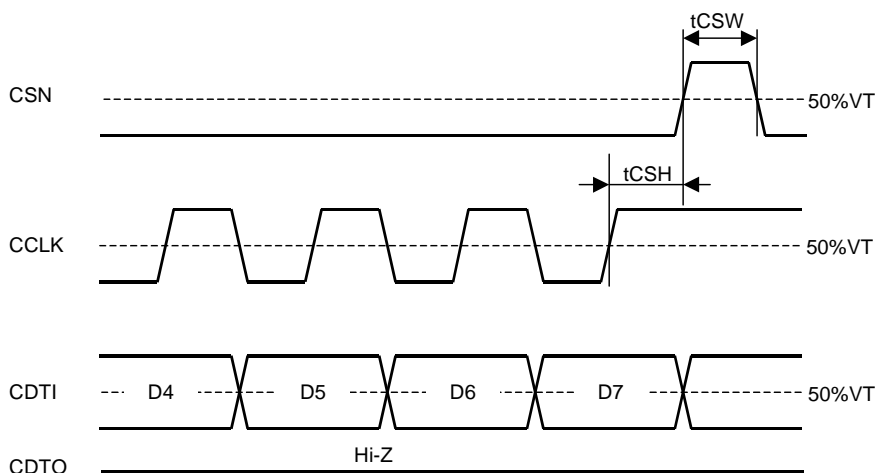


図 4. WRITE時データ入力タイミング

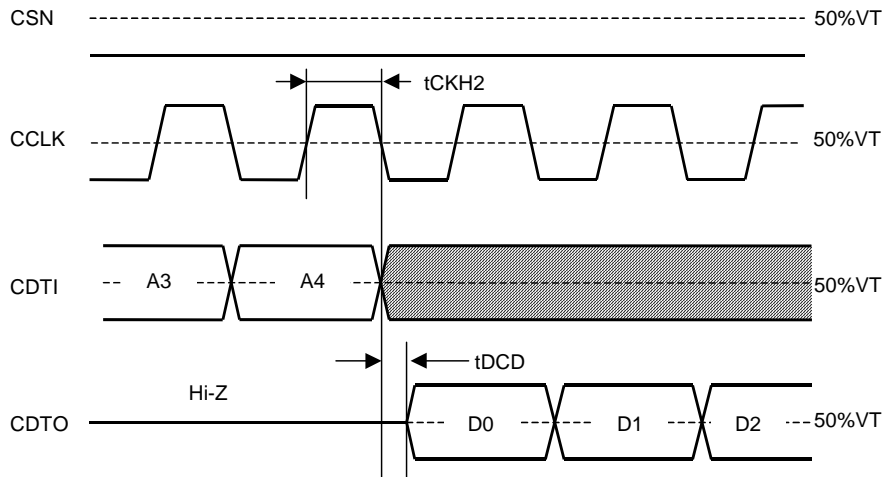


図 5. READ時データ出力タイミング1

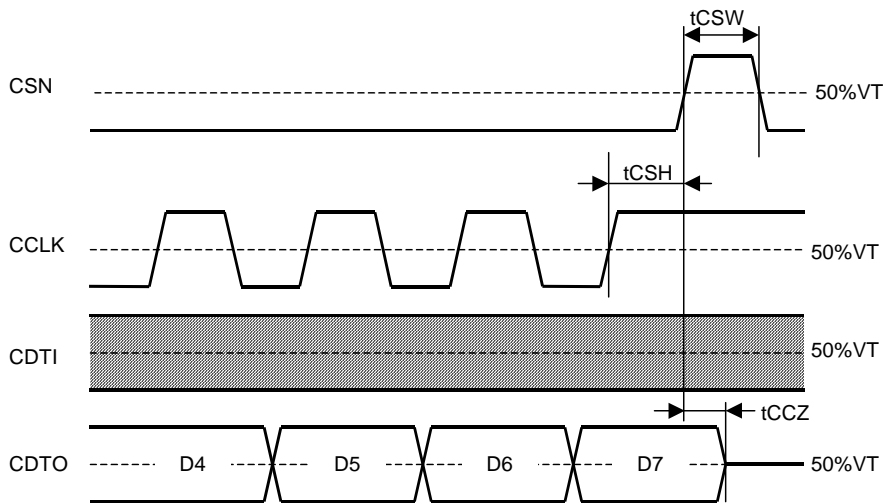


図 6. READ時データ入力タイミング2

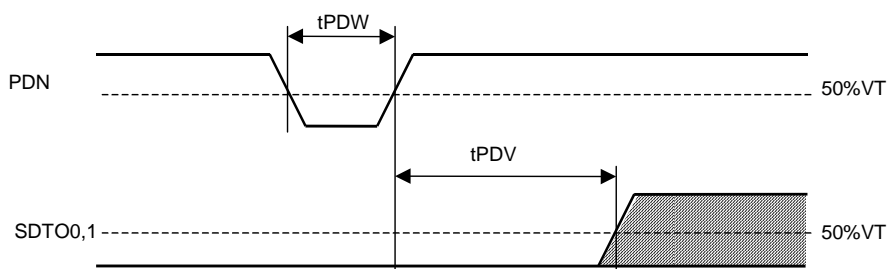


図 7. リセットタイミング

<b>機能説明</b>
-------------

**■ システムクロック**

必要なクロックは、MCLK(256fs/384fs)、LRCK(fs)、BCLK(32fs~)です。マスタクロック(MCLK)とサンプリングクロック(LRCK)は同期する必要はありますが、位相を合わせる必要はありません。

MCLKの周波数は256fsあるいは384fsを入力することができます。384fsが入力された場合、内部で自動的に2/3分周されます。 \*fsはサンプリングレートです。

ADC部とDAC部が動作中は、各外部クロック(MCLK、BCLK、LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態にしてください。

**■ システムリセット**

電源立ち上げ時には、PDNピンに一度“L”を入力してシステムリセットを行ってください。システムリセットが行われると、AK4563Aの内部レジスタは全て初期値になります。

初期化サイクルは $4128/fs = 86ms @ fs = 48kHz$ です。初期化サイクル中は両チャンネルのADC出力データは2's complementの“0”です。初期化サイクル終了後、ADC出力はアナログ入力信号に相当するデータにセトリングします。DACにはこの初期化サイクルはありません。

PDNピンによるパワーダウン解除後の初期化サイクル中はAddr=01Hには書き込みを行わないでください。Addr=01Hに書き込みを行うと正常な初期化サイクルが行われません。

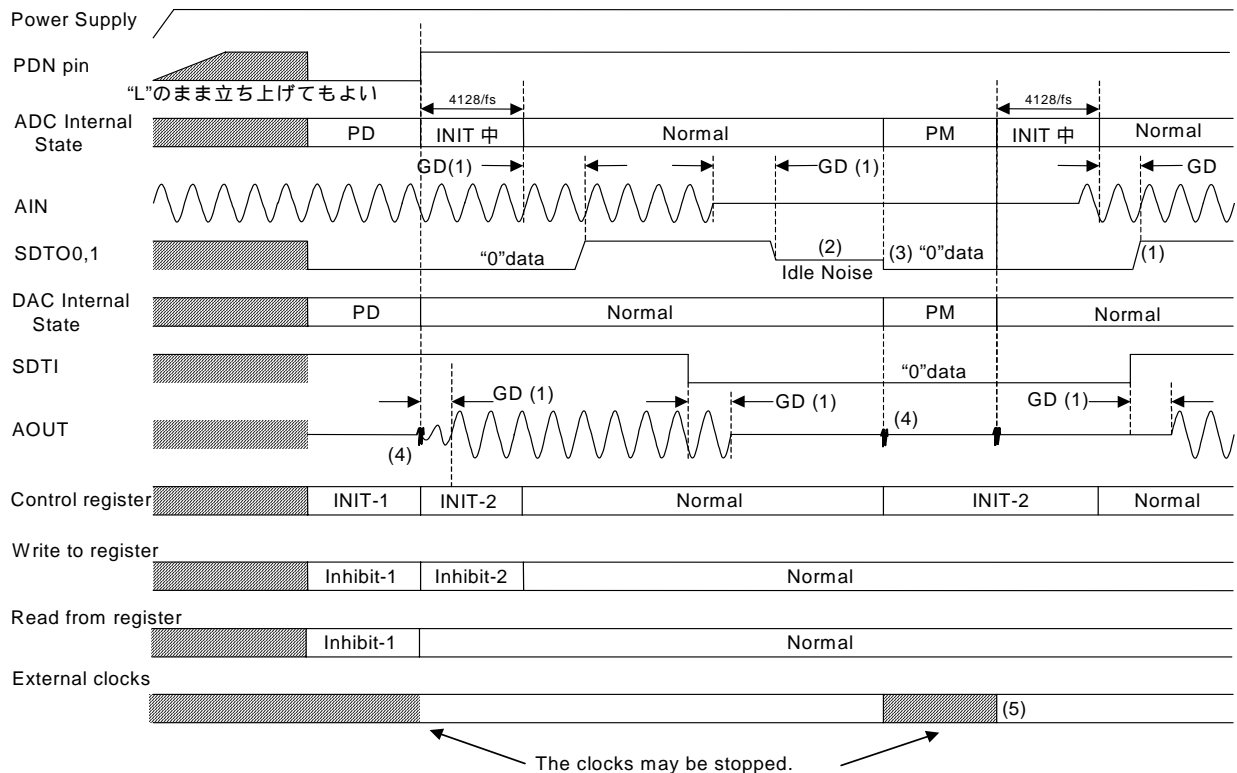


図 8. パワーアップ/ダウнтаイミング例

- INIT中: イニシャライズ中。この時STAT bit は“0”です。このフラグを読み、“1”となっていることでINIT終了を確認できます。
- PD: パワーダウン状態。ADC出力は“0”となり、DAC出力はフローティングされます。
- PM: Power Management bitによるAll Power-down状態。ADC出力は“0”となり、DAC出力はフローティングされます。
- INIT-1: コントロールレジスタの全ての内容を初期化します。
- INIT-2: コントロールレジスタ中の読み出し専用レジスタの内容を初期化します。
- Inhibit-1: コントロールレジスタへの書き込み/読み込み不可です。
- Inhibit-2: コントロールレジスタへの書き込み不可です。

注) 各レジスタの条件については、“レジスタの説明”の項を参照して下さい。

- (1) アナログ入力に対するデジタル出力、デジタル入力に対するアナログ出力は群遅延(GD)を持ちます。GDの間、入力に対して出力は徐々にセトリングしていきます。
- (2) アナログ入力を無入力にしても、入力オペアンプ及びADC内部のノイズがデジタル出力されます。
- (3) パワーダウン時、ADC出力は“0”データです。
- (4) PDN= “↓ ↑”で若干のノイズが出力されます。ノイズが問題になる場合はアナログ出力を外部でミュートして下さい。
- (5) 各クロック入力を止める場合はパワーダウン(PDN pin = “L” or PM5-0 bit = “0”)して下さい。

■ デジタルHPF

ADCはDCオフセットキャンセル用のHPFを内蔵しています。HPFのカットオフ周波数は3.7Hz @ fs = 48kHzで、20Hzの時、-0.15dBです。これはサンプリング周波数(fs)に比例します。

■ オーディオデータ/Fフォーマット

オーディオデータはBCLKとLRCKを使ってSDTI, SDTO0, SDTO1ピンから入出力されます。4種類のデータフォーマット(表1)がDIF1,DIF0ビットで選択できます。全モードとも、MSBファースト、2'sコンプリメントのデータフォーマットでBCLKの立ち上がりでラッチされます。

DIF1="0", DIF0="1"の時は、BCLK=64fsのみ対応です。

No.	DIF1 bit	DIF0 bit	SDTO0/SDTO1(ADC)	SDTI(DAC)	BCLK	図
0	0	0	前詰め	後詰め	32fs	図 9
1	0	1	後詰め	後詰め	=64fs	図 10
2	1	0	前詰め	前詰め	32fs	図 11
3	1	1	I <sup>2</sup> S互換	I <sup>2</sup> S互換	32fs	図 12

RESET

表 1. オーディオデータフォーマット

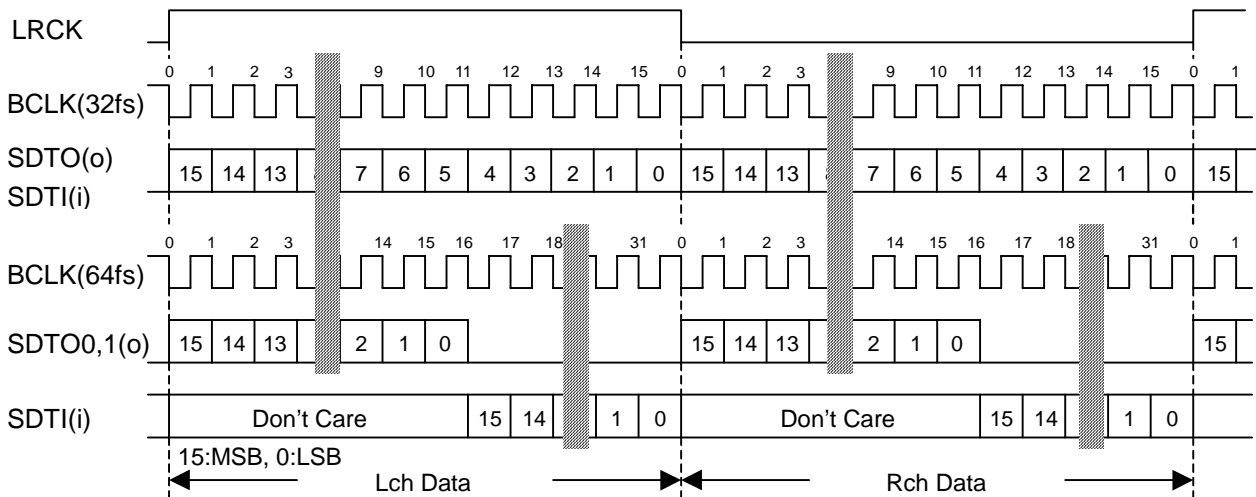


図 9. オーディオデータタイミング (No.0)

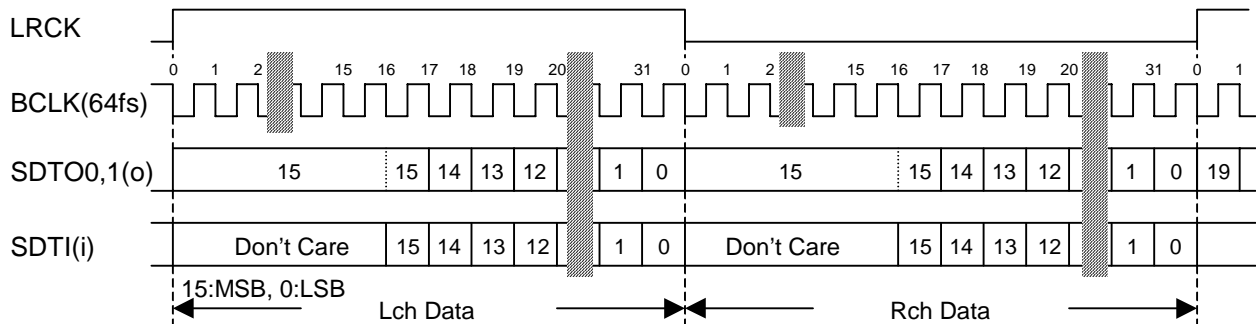


図 10. オーディオデータタイミング (No.1)

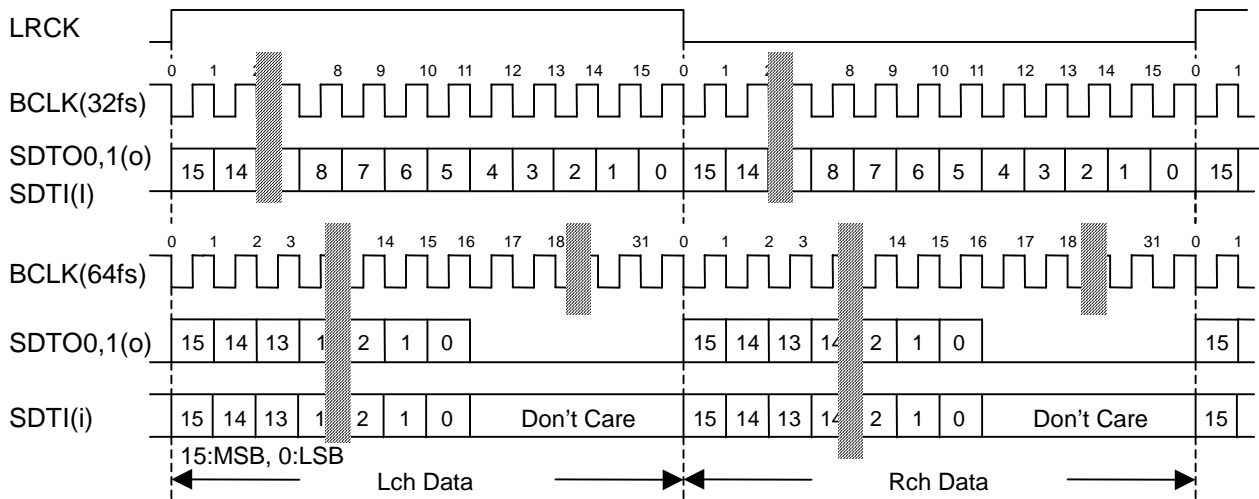


図 11. オーディオインタフェースタイミング(No.2)

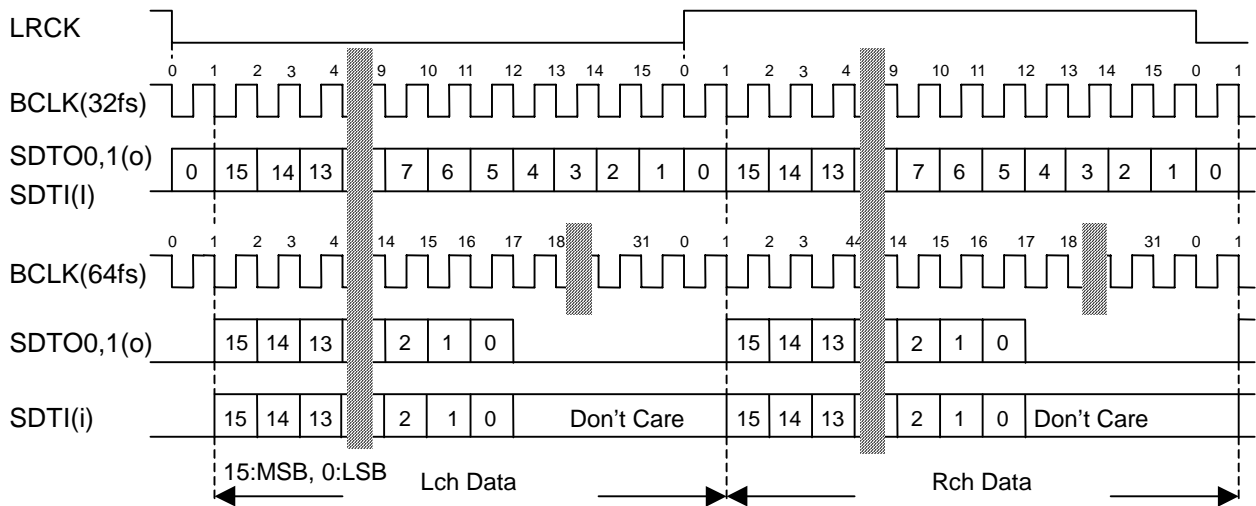


図 12. オーディオインタフェースタイミング(No.3)

■ コントロールレジスタのR/Wタイミング

AKMモードは4線式シリアルI/FでI/F上のデータはオペコード(3ビット)、アドレス(LSBファースト、5ビット)とコントロールデータ(LSBファースト、8ビット)で構成されます。データ送信側はCCLKの“↓”で各ビットを出力し、受信側は“↑”で取り込みます。データの書き込みはCSNの“↑”で有効になります。データの読み出しはCSNの“↑”で出力がHi-Zになります。アクセスしない時はCSNを“H”に固定して下さい。CDTIとCDTOは接続して3線でI/Fすることも可能です。CSNが“L”期間中に必ず16回CCLK“↑”を行って下さい。00H～09H以外のアドレスでの読み出し、書き込みは禁止です。

op0=op1=“1”以外の時は、コントロールレジスタのR/Wは無効になります。

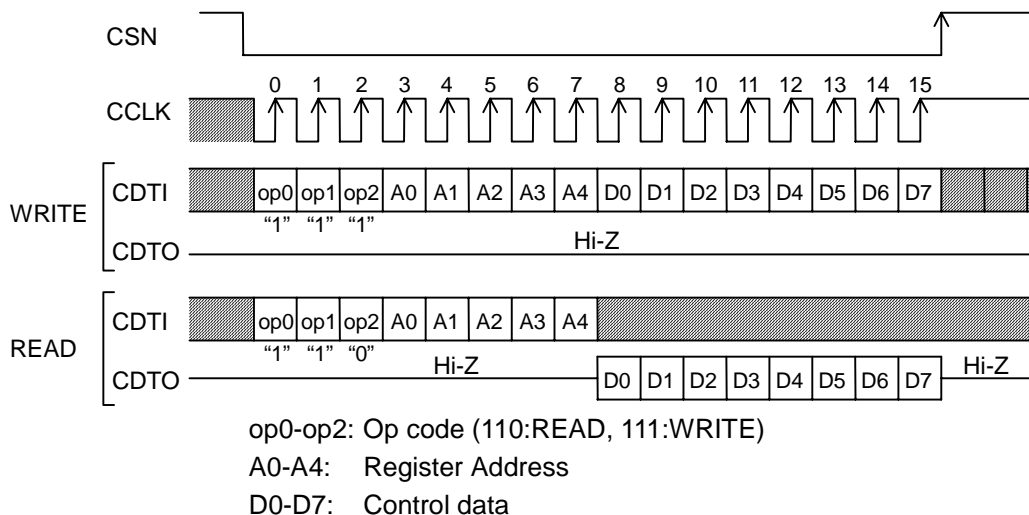


図 13. コントロールデータタイミング

## ■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Input Select	0	0	0	0	LINE	EXT	INT1	INT0
01H	Power Management	0	0	PM5	PM4	PM3	PM2	PM1	PM0
02H	Mode Control	0	0	0	FS	DIF1	DIF0	DEM1	DEM0
03H	Timer Select	FDTM1	FDTM0	ZTM1	ZTM0	WTM1	WTM0	LTM1	LTM0
04H	ALC Mode Control 1	0	0	LMAT1	LMAT0	FDATT	RATT1	RATT0	LMTH
05H	ALC Mode Control 2	0	REF6	REF5	REF4	REF3	REF2	REF1	REF0
06H	Operation Mode	0	0	ZELMN	FR	STAT	FDIN	FDOUT	ALC
07H	Input PGA Control	0	IPGA6	IPGA5	IPGA4	IPGA3	IPGA2	IPGA1	IPGA0
08H	Peak Hold Lch	PHL7	PHL6	PHL5	PHL4	PHL3	PHL2	PHL1	PHL0
09H	Peak Hold Rch	PHR7	PHR6	PHR5	PHR4	PHR3	PHR2	PHR1	PHR0

## ■ 詳細説明

以下の条件では全レジスタは読み出しおよび書き込み不可です。

- ・ PDN pin = “L”

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Input Select	0	0	0	0	LINE	EXT	INT1	INT0
	R/W	R/W							
	RESET	0	0	0	0	0	0	1	1

INT0: INTL0, INTR0入力のON/OFF(0: OFF, 1: ON)

INT1: INTL1, INTR1入力のON/OFF(0: OFF, 1: ON)

EXT: EXTL, EXTR入力のON/OFF (0: OFF, 1: ON)

LINE: LIN, RIN入力のON/OFF (0:OFF, 1:ON)

LINE=“1”の時、INT0,INT1,EXT bitは無効になります。

また、IPGA0, 1のゲインテーブルはLINE bitに連動して変更されます。LINE=“1”の時、LINE側の設定になります。ただし、IPGA1にはLINE側の設定がありませんのでIPGA1はMUTE状態になります。

INT0 bit, EXT bitが同時にONされた場合、ゲイン1倍で加算されます。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Power Management	0	0	PM5	PM4	PM3	PM2	PM1	PM0
	R/W	R/W							
	RESET	0	0	0	1	1	1	1	1

PM5-0: パワーマネジメント(0: Power down, 1: Power up)

PM1-0: IPGA及びALC回路のパワーコントロール

PM1-0 = “00”解除後、IPGA値はRESET値になります。(“IPGAの動作について”の詳細説明を参照)

PM1	PM0	IPGA1	IPGA0
0	0	OFF	OFF
0	1	OFF	ON
1	0	LchのみON	ON
1	1	ON	ON

RESET

表 2. IPGA及びALC回路のパワーコントロール

PM3-2: ADCのパワーコントロール

PM3	PM2	ADC1	ADC0
0	0	OFF	OFF
0	1	OFF	ON
1	0	LchのみON	ON
1	1	ON	ON

RESET

表 3. ADCパワーコントロール

PM3-2 bitでADCのチャンネル数を変更する場合は、必ずPM3-2 = “00” (ADC0, ADC1 power-down) を経由して下さい。

例えば、2chモード(PM3-2 = “01”)から4chモード(PM3-2 = “11”)に変更する場合は、PM3-2 = “01”の状態から、PM3-2 = “00”を経由して、PM3-2 = “11”に設定を行って下さい。

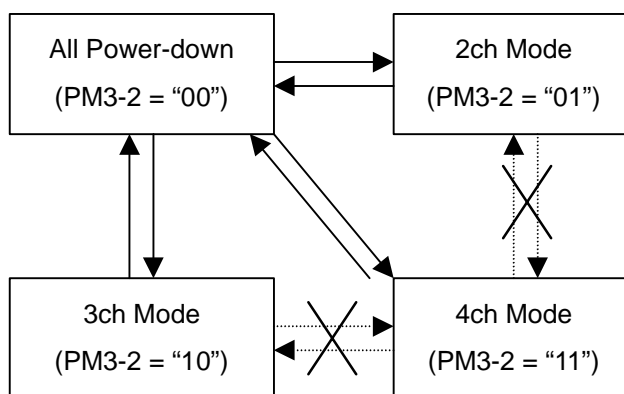


図 14. パワー管理ビットによるADC Power-up/downシーケンス

All Power-down状態(PM3-2 = “00”)を解除すると初期化サイクル(4128/fs)が実行されます。この時、全てのADC出力は“0”になります。

3ch(PM1-0 = “10”, PM3-2 = “10”)使用時は、IPGA1, ADC1のRch側のアナログ回路はパワーダウン状態になります。この時、ADC1のRchの出力は“0”です。

PM4: DACのパワーコントロール

PM5: アナログループバック回路のパワーコントロールとMUXの切り替え (0: DAC出力, 1: アナログループバック)を兼ねます。

PM5 = “1”にすると出力AMPへの入力はDAC出力からアナログループバック回路に切り替わります。出力MUXとAMPはPDNピンまたはPM4 = PM5 = “0”とすることでパワーダウンされます。

ループバック出力とDAC出力を切り替えるMUXは実際はスイッチ付きのMIXERになっています。そのためPM4 とPM5を同時にONするとループバックされたアナログ信号とDAC出力がゲイン1でミキシングされます。

PM5-0 bitをON/OFF(“1” / “0”)することで部分的にパワーダウンすることができます。また、PDNピンを “L”にするとPM5-0 bitの設定に関わらず、全回路を一度にパワーダウンすることができます。ただし、PM5-0 bitにて全回路をパワーダウンした場合、レジスタの内容は保持されますが、IPGAのゲインはPM1-0 bit = “00”でリセットされます。(“IPGAの動作について”の詳細説明を参照)

VCOMはPM bitが全て”0”になるとパワーダウンされます。

また、PM0 = PM1 = PM2 = PM3 = PM4 = PM5 = “0”または、PDN= “L”の場合以外はMCLK, BCLK, LRCKを止めては行けません。

パワー管理ビットの構成

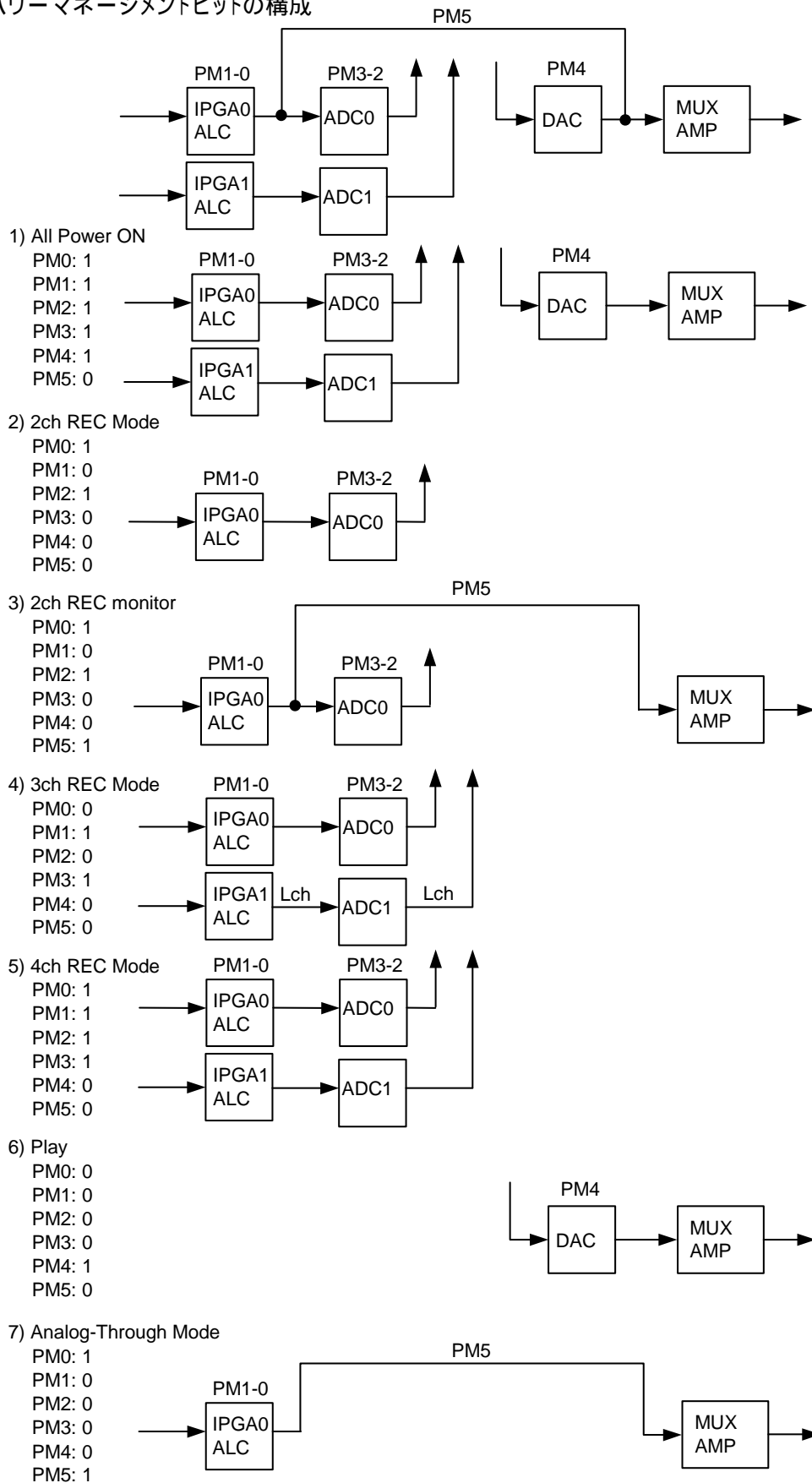


図 15. パワー管理

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Mode Control	0	0	0	FS	DIF1	DIF0	DEM1	DEM0
	R/W	R/W							
	RESET	0	0	0	1	0	0	0	1

## DEM1-0:ディエンファシスの周波数選択

IIRフィルタによる3周波数 (32kHz, 44.1kHz, 48kHz) 対応のディエンファシスフィルタ(50/15 $\mu$ s) を内蔵しています。入力データに対してDEM1, DEM0 bitで選択された周波数のディエンファシスフィルタが有効になります。

DEM1	DEM0	Mode
0	0	44.1kHz
0	1	OFF
1	0	48kHz
1	1	32kHz

RESET

表 4. ディエンファシス周波数の設定

## DIF1-0: オーディオシリアルインターフェイスの選択 (AK4516A互換)

No.	DIF1	DIF0	SDTO0,1 (ADC)	SDTI(DAC)	BCLK	図
0	0	0	前詰め	後詰め	32fs	図 9
1	0	1	後詰め	後詰め	= 64fs	図 10
2	1	0	前詰め	前詰め	32fs	図 11
3	1	1	IIS	IIS	32fs	図 12

RESET

表 5. オーディオシリアルインターフェイスフォーマットの選択

## FS:サンプリング周波数の設定

0:fs=32kHz

1:fs=48kHz (RESET)

fs=32kHz, fs=48kHz時のリミッタ変更周期(LTM1-0 bit)、リカバリ周期(WTM1-0 bit)、ゼロクロスタイムアウト時間(ZTM1-0 bit)、フェードイン/アウト周期(FDTM1-0 bit)を同じ周期に設定するためのビットです。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Timer Select	FDTM1	FDTM0	ZTM1	ZTM0	WTM1	WTM0	LTM1	LTM0
	R/W	R/W							
	RESET	0	0	0	0	0	0	0	1

LTM1-0: ALCリミッタ動作ゼロクロス検出Disable (ZELMN = “1”)時のALCリミッタ動作変更周期

ALCリミッタ動作によりIPGA値は瞬時に変更されます。IPGA値が連続して変更される場合はLTM1-0 bitで設定される周期で変更が行われます。  
 なお、これらの周期はfs=32kHz時にFS bit = “0” あるいはfs=48kHz時にFS bit = “1”に設定した場合の値です。

LTM1	LTM0	Period
0	0	63μs
0	1	125μs
1	0	250μs
1	1	500μs

RESET

表 6. ALCリミッタ動作変更周期

WTM1-0: ALCリカバリ動作変更周期

ALC動作中にリミッタ動作が発生しない場合、リカバリ動作を行う周期。  
 ここで設定した周期でリカバリ動作が行われます。  
 LMTH bitによって設定されるリカバリ待機カウンタセットレベル以上の信号がADCに入力されている場合、リカバリ待機カウンタはリセットされます。リカバリ待機カウンタリセットレベル以下の信号がADCに入力されると待機時間のカウントが開始されます。  
 なお、これらの周期はfs=32kHz時にFS bit = “0” あるいはfs=48kHz時にFS bit = “1”に設定した場合の値です。

WTM1	WTM0	Period
0	0	8ms
0	1	16ms
1	0	64ms
1	1	512ms

RESET

表 7. ALCリカバリ動作変更周期

ZTM1-0: マイコン書き込み動作、ALCリカバリ動作あるいはALCリミッタ動作ゼロクロス検出Enable (ZELMN = “0”)時のゼロクロスタイムアウト時間

マイコン書き込み動作、ALCリカバリ動作及びALCリミッタ動作によりIPGA値が変更されるのは、毎チャンネル独立にそれぞれゼロクロスするかまたはタイムアウトした場合です。  
 なお、これらの周期はfs=32kHz時にFS bit = “0” あるいはfs=48kHz時にFS bit = “1”に設定した場合の値です。

ZTM1	ZTM0	Period
0	0	8ms
0	1	16ms
1	0	64ms
1	1	512ms

RESET

表 8. ゼロクロスタイムアウト時間

FDTM1-0: フェードイン/フェードアウト周期

FDINあるいはFDOUT bitが“1”になるとここで設定した周期でフェードイン/アウト動作が行われます。この時のIPGA0,1のL/R値の変更はそれぞれ独立にゼロクロスするかまたはタイムアウトした場合はです。

なお、これらの周期はfs=32kHz時にFS bit = “0” あるいはfs=48kHz時にFS bit = “1”に設定した場合の値です。

FDTM1	FDTM0	Period
0	0	24ms
0	1	32ms
1	0	48ms
1	1	64ms

RESET

表 9. フェードイン/アウト周期

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
04H	ALC Mode Control 1	0	0	LMAT1	LMAT0	FDATT	RATT1	RATT0	LMTH
	R/W	R/W							
	RESET	0	0	0	0	0	0	0	0

LMTH: ALCリミッタ検出レベル/リカバリ待機カウンタリセットレベル

LMTH	ALCリミッタ検出レベル	ALCリカバリ待機カウンタリセットレベル	RESET
0	ADC Input -4.0dB	-4.0dB > ADC Input -6.0dB	RESET
1	ADC Input -2.0dB	-2.0dB > ADC Input -4.0dB	

表 10. ALCリミッタ検出設定レベル/リカバリ待機カウンタリセットレベル

RATT1-0: ALCリカバリGAINステップ

ALCリカバリ動作時、現在のIPGA値から増加させるステップ数を設定します。

例えば、現在のIPGA値が30Hの場合、RATT1-0 = “01”に設定しておく、ALCリカバリ動作によってIPGA値は32Hに変更され、1dB (=0.5dB x 2)増加されます。IPGA値が基準レベル(REF6-0)に達した場合、IPGA値の増加は行いません。

RATT1	RATT0	GAIN Step	RESET
0	0	1	RESET
0	1	2	
1	0	3	
1	1	4	

表 11. ALCリカバリGAINステップ設定

FDATT: フェードイン/アウト時のATTステップ

フェードイン/アウト動作時、現在のIPGA値から変更させるステップ数を設定します。例えば、現在のIPGA値が30Hの場合、FDATT = “1”に設定しておく、フェードイン/アウト動作によってIPGA値は32H(フェードイン動作時) or 2EH(フェードアウト動作時)に変更され、1dB (=0.5dB x 2)変化します。IPGA値が基準レベル(REF6-0)あるいは00Hに達した場合、IPGA値の変更は行いません。

FDATT	ATT Step	RESET
0	1	RESET
1	2	

表 12. フェードイン/アウト時のATTステップ設定

LMAT1-0: ALCリミッタATTステップ

ALCリミッタ動作時、入力信号が設定されたALCリミッタ検出レベル(LMTH)を越えた場合、現在のIPGA値から減衰させるステップ数を設定します。例えば、現在値が68Hの場合、LMTH1-0 = “11”に設定しておく、ALCリミッタ動作時によってIPGA値は64Hに変更、2dB (=0.5dB x 4)減衰されます。減衰量がIPGA = “00H”(MUTE)を越えた値になる場合、“00H”にクリップされます。

LMAT1	LMAT0	ATT Step	RESET
0	0	1	RESET
0	1	2	
1	0	3	
1	1	4	

表 13. ALCリミッタATTステップ設定

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
05H	ALC Mode Control 2	0	REF6	REF5	REF4	REF3	REF2	REF1	REF0
	R/W	R/W							
	RESET	0	28H						

## REF6-0:ALCリカバリ動作時の基準値の設定

ALCリカバリ動作中、IPGA値がREF6-0で設定された基準値に達した場合、基準値以上のゲイン動作は行いません。基準値はIPGA0,1のL/R共通に行われます。

例えば、REF=30H, RATT=2step, IPGA=2FHの時、ALCリカバリ動作により、IPGA値は2FH + 2step = 31Hになるうとしますが、REF=30Hですので、IPGA値は30Hになります。

ALC動作(フェードイン/アウト動作も含む。)に入る前にIPGA値は必ずREF値と同じまたは小さい値に設定して下さい。

DATA	GAIN(dB)		Step	Level
	MIC	LINE		
60H	+28.0	+6.0	0.5dB	73
5FH	+27.5	+5.5		
5EH	+27.0	+5.0		
.	.	.		
28H	+0.0	-22.0		
27H	-0.5	-22.5		
.	.	.		
19H	-7.5	-29.5		
18H	-8.0	-30.0	1dB	8
17H	-9.0	-31.0		
16H	-10.0	-32.0		
.	.	.		
11H	-15.0	-37.0		
10H	-16.0	-38.0	2dB	12
0FH	-18.0	-40.0		
0EH	-20.0	-42.0		
.	.	.		
05H	-38.0	-60.0	4dB	3
04H	-40.0	-62.0		
03H	-44.0	-66.0		
02H	-48.0	-70.0		
01H	-52.0	-74.0		
00H	MUTE	MUTE		1

表 14. ALCリカバリ動作時の基準値の設定

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
06H	Operation Mode	0	0	ZELMN	FR	STAT	FDIN	FDOUT	ALC
	R/W	R/W				RD	R/W		
	RESET	0	0	0	0	0	0	0	0

ALC: ALCイネーブルフラグ

- 0: ALC Disable (RESET)
- 1: ALC Enable

FDOUT: フェードアウトイネーブルフラグ

- 0: フェードアウトDisable (RESET)
- 1: フェードアウトEnable

FDIN: フェードインイネーブルフラグ

- 0: フェードインDisable (RESET)
- 1: フェードインEnable

STAT:ステータスフラグ

- 0: ALC(フェードイン、フェードアウトを含む)動作中、あるいは初期化サイクル動作中。(RESET)

- 1: マニュアルモード

PDNピンによるパワーダウン解除後の初期化サイクル中は“0”になっており、初期化サイクルが終了した時、“1”になります。

また、ALC動作中、ALC bitを“0”に書き込むと内部状態により最大一回のATT/GAIN動作終了後、“1”になります。

FR:ALC動作の選択

- 0: インパルス性ノイズに対応したALC動作を行います。(RESET)

- 1: AK4516A相当のALC動作を行います。

ZELMN: ALCリミッタ動作時ゼロクロス検出イネーブル

- 0: Enable (RESET)

- 1: Disable

“0”のとき、ALCリミッタ動作によりIPGA値が変更されるのは毎チャンネル独立にそれぞれゼロクロスするかまたはタイムアウトしたときです。ゼロクロスタイムアウト時間はALCリカバリ動作時のゼロクロスタイムアウト時間と同じです。“1”のとき、ALCリミッタ動作によりIPGA値は瞬時に変更されます。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
07H	Input PGA Control	0	IPGA6	IPGA5	IPGA4	IPGA3	IPGA2	IPGA1	IPGA0
	R/W	R/W							
	RESET	0	28H						

IPGA6-0: 入力アナログPGA、97 levels、IPGA0、1のL/R共通。

ALC動作(フェードイン/アウト動作も含む。)に入る前にIPGA値は必ずREF値と同じまたは小さい値に設定して下さい。

IPGAのゲインを変更する場合は、ALC bit = “0”かつ PM1-0 bit が “00”以外の状態で書き込んで下さい。(“IPGAの動作について”の詳細説明を参照)

DATA	GAIN(dB)		Step	Level
	MIC	LINE		
60H	+28.0	+6.0	0.5dB	73
5FH	+27.5	+5.5		
5EH	+27.0	+5.0		
.	.	.		
28H	+0.0	-22.0		
27H	-0.5	-22.5		
.	.	.		
19H	-7.5	-29.5		
18H	-8.0	-30.0	1dB	8
17H	-9.0	-31.0		
16H	-10.0	-32.0		
.	.	.		
11H	-15.0	-37.0		
10H	-16.0	-38.0	2dB	12
0FH	-18.0	-40.0		
0EH	-20.0	-42.0		
.	.	.		
05H	-38.0	-60.0	4dB	3
04H	-40.0	-62.0		
03H	-44.0	-66.0		
02H	-48.0	-70.0		
01H	-52.0	-74.0	4dB	3
00H	MUTE	MUTE		
				1

表 15. 入力ゲイン設定

IPGA1にはLINE側の設定はありません。

PM1-0 = “00”でリセットされます。

## IPGAの動作について

### ・[読み込み動作について]

読み出されるIPGA値は最後に書き込まれたIPGA値です。従いまして、読み出されるIPGA値は実際のIPGA値と異なる場合があります。

### ・[ALC Enable時の書き込み動作について]

ALC動作中(フェードイン/アウト動作も含む。)は、IPGA値に書き込みを行っても反映されません。

### ・[ALC Disable時の書き込み動作について]

IPGAのゼロクロス検出はIPGA0,1のL/Rチャンネル独立に行われます。ゼロクロスタイムアウト時間はZTM1-0 bitで設定できます。

コントロールレジスタに書き込みを行うと、ゼロクロスカウンタ(L/R共通)はリセットされカウントが開始されます。信号がゼロクロスするか、またはゼロクロスタイムアウトしたときにはじめて書き込まれた値が有効になります。

コントロールレジスタの書き込みを続けて行う場合は、ゼロクロスタイムアウト時間以上の間隔をあけて行って下さい。所定の間隔をあげないで書き込みを行うと、L/RのIPGA値に段差が生じる可能性があります。例えば、前回の書き込みによって、片方のチャンネルがゼロクロス動作により新しいIPGA値に更新され、他方のチャンネルが更新されてない状態において、続けて書き込みを行った場合、すでに更新されているチャンネルは前回の値のままとなり、更新されていなかったチャンネルはゼロクロスするかあるいは前回の書き込み操作により起動されたゼロクロスカウンタのカウントアップ(このときゼロクロスカウンタは新たにリセットされません。)によって新しいIPGA値に更新されます。

### ・[ALC動作終了後のIPGA値について]

ALC動作により変更されたIPGAのゲインはIPGAレジスタに反映されません。従って、ALC動作終了時(ALC bit “1” → “0”)、実際のIPGAゲインはIPGAレジスタの値と異なります。実際のIPGAゲインをIPGAレジスタの値に設定するためには再度その値を書き込んで下さい。

### ・[レジスタによるパワーダウン時の動作について]

PM1-0 bit = “00”でIPGA0 と IPGA1はパワーダウンされ、次のパワーアップ時は初期値で動作を開始します。ただし、PM1-0 bit = “00”で、IPGA レジスタを読み出すと、最後に書き込まれた値が読み出されます。

### ・[IPGAチャンネル数変更時の動作について]

IPGAのチャンネル数の変更は、PM1-0 bit = “00”を経由することを推奨します。PM1-0 bit = “00”を経由しない場合、IPGA0 と IPGA1の間にゲイン差を生じる可能性があります。ただし、ALC disable状態 (ALC bit = “0”) でIPGAのレジスタに値を書き込むか、あるいは、ALCのリミッタ/リカバリ動作が実行されると、パワーアップされた全てチャンネルのゲインが揃います。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
08H	Lch Peak Hold	PHL7	PHL6	PHL5	PHL4	PHL3	PHL2	PHL1	PHL0
09H	Rch Peak Hold	PHR7	PHR6	PHR5	PHR4	PHR3	PHR2	PHR1	PHR0
	R/W	RD							
	RESET	00H							

PHL7-0: Lch ピークホールド値(絶対値)。

PHR7-0: Rch ピークホールド値(絶対値)。

ADC0 から出力されるオーディオデータをL/R独立にピークホールドします。  
マイコンから読み出しを行うとリセットされます。

$$20 \times \log_{10} [(\text{Data}) / 256] < \text{Peak Level [dB]} \leq 20 \times \log_{10} [(\text{Data}+1) / 256]$$

Data	Peak Level
FFH	0.0dB ~ -0.034 dB
FEH	-0.034dB ~ -0.068dB
FDH	-0.068dB ~ -0.102dB
•	•
02H	-38.62dB ~ -42.14dB
01H	-42.14dB ~ -48.16dB
00H	-48.16dB ~ -∞(infinity)

表 16. Peak Level値

以下のいずれかの条件でリセットさせます。

- PDNピン=“L”
- PM2=PM3=“0”

**機能詳細**

■ **ALC動作について**

1. リミッタ動作について

ALCリミッタ動作ではIPGA0,1のL/Rチャンネルの入力レベルがどれか一つでもALCリミッタ検出設定レベル(LMTH)を越えた場合、ALCリミッタATTステップ(LMAT1-0)分だけ自動的にIPGA値を減衰させます。このときIPGA値の変更は全て(IPGA0,IPGA1のL/R)共通で行われます。

ZELMN = “1”のとき、この減衰動作はLTM1-0で設定された周期で、入力レベルがLMTH以下になるまで連続的に行われます。また、減衰動作終了後でもALCを“0”にしない限り、再び入力レベルがLMTHを越えれば、この減衰動作は繰り返されます。(図 16参照)

ZELMN = “0”のとき、ALCリミッタ動作はZTM1-0で設定した時間でゼロクロス検出動作を行いながら、IPGA値を自動的に減衰させます。(図 17参照)

FR bit = “0”の時、ALC動作はAK4516AのALC動作に加えてインパルス性のノイズにも対応したALC になっています。この時、ZELMN bit = “0”であれば、インパルス性のノイズが入力されると、ZTM1-0 bitで設定された値よりも早いサイクルで動作を行います。ZELMN bit = “1”の場合はLTM1-0 bit で設定された値でALCリミッタ動作を行います。FR bit = “1”の時は、AK4516Aと同等のALC動作になります。

・ALC動作に関わるレジスタの説明

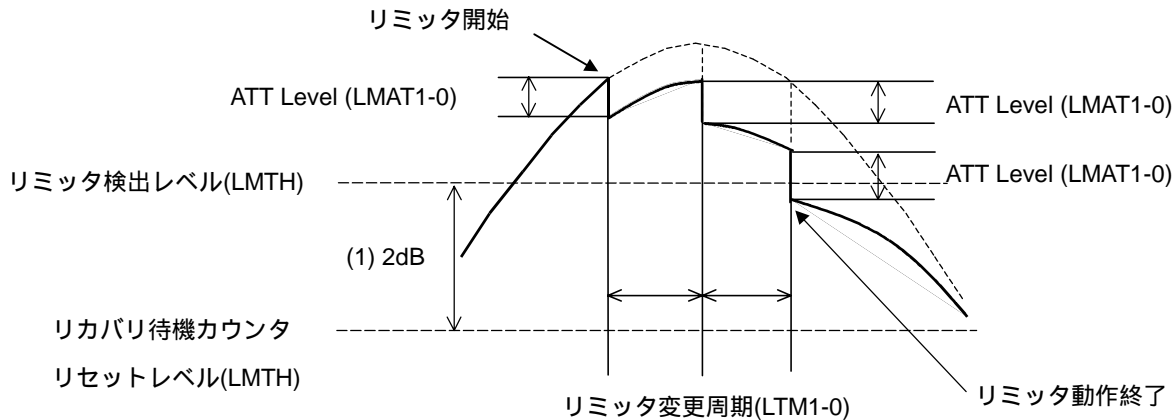


図 16. ALCゼロクロス検出Disable時 (ZELMN = “1”)

(1) この2dBの区間に信号が入力されると、リミッタ or リカバリ動作は行いません。

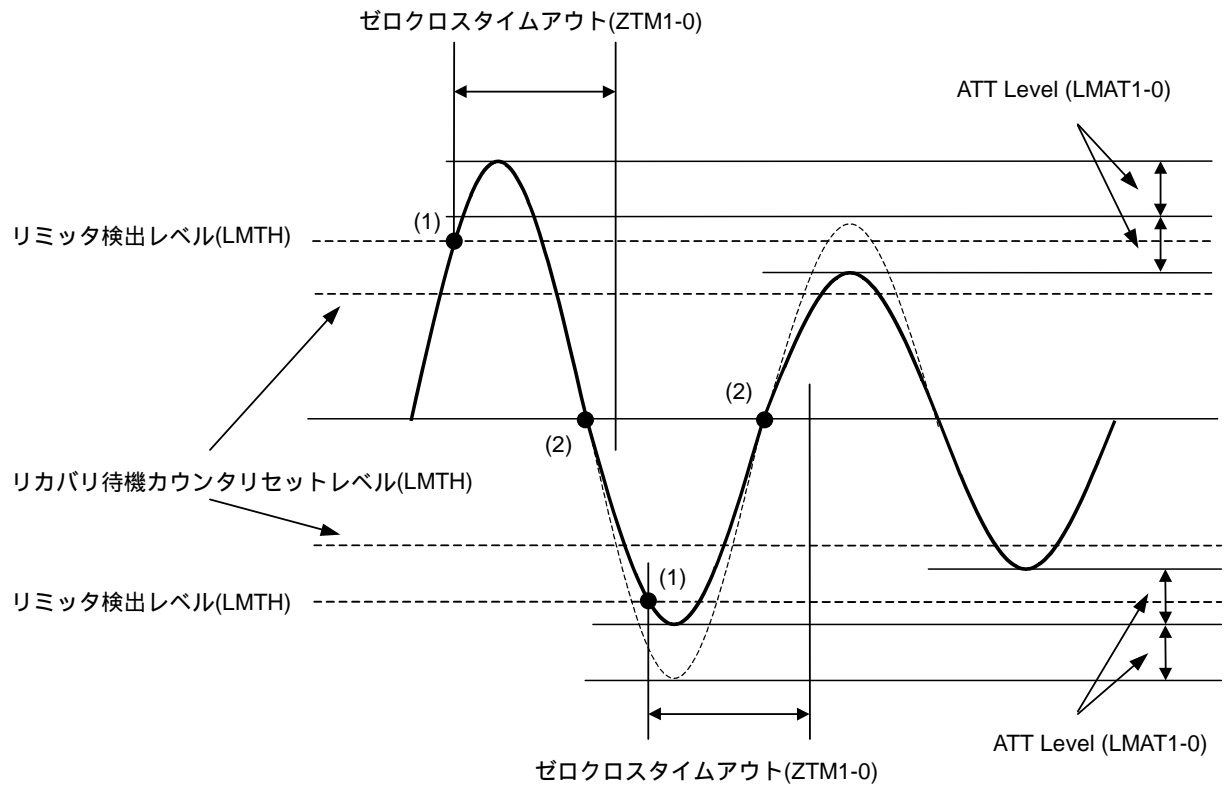


図 17. リミッタ動作が連続して行われる場合 (ZELMN = “0”)

- (1) ALCリミッタ検出レベル以上になるとALCリミッタ動作を開始します。また、ゼロクロスカウンタも同時に開始されま  
す。
- (2) ゼロクロス検出。ゼロクロス検出した時点で、IPGAはLMAT1-0で設定した値だけ減衰動作を行い、ALCリミッタ動  
作を終了します。

2. ALCリカバリ動作

ALCリミッタ動作終了後、WTM1-0 bit 設定された時間待機を行い、この間、入力信号が“ALCリカバリ待機カウンタリセットレベル(LMTH)”を越すことがなければALCリカバリ動作を一回行います。このALCリカバリ動作はZTM1-0 bitで設定した時間でゼロクロス検出動作を行いながら、IPGA値(IPGA0, IPGA1のL/R共通)を自動的に設定された基準レベル(REF6-0)まで増加させます。また前回の時間待機終了と同時に次回の時間待機を開始しますので、ALCリカバリ動作はWTM1-0 bitで設定した周期で繰り返されます。

ALCリカバリ動作中またはリカバリ待機中、IPGA0, 1のL/Rチャンネルの入力レベルがどれか一つでも“ALCリミッタ検出レベル(LMTH)”を越えた場合、直ちにALCリミッタ動作に入ります。

また、ALCリカバリ待機中に“ALCリカバリ待機カウンタリセットレベル” ≤ Input Signal < “ALCリミッタ検出レベル”となっている場合、待機タイマはリセットされます。そのため、“ALCリカバリ待機カウンタリセットレベル” > Input Signalとなった時から、待機時間のカウンタが開始されます。

FR bit = “0”の時、インパルス性のノイズが入力されると、WTM1-0 bit, ZTM1-0 bitで設定された値よりも早いサイクルで動作を行います。FR bit = “1”の時は、AK4516Aと同等のALC動作になります。

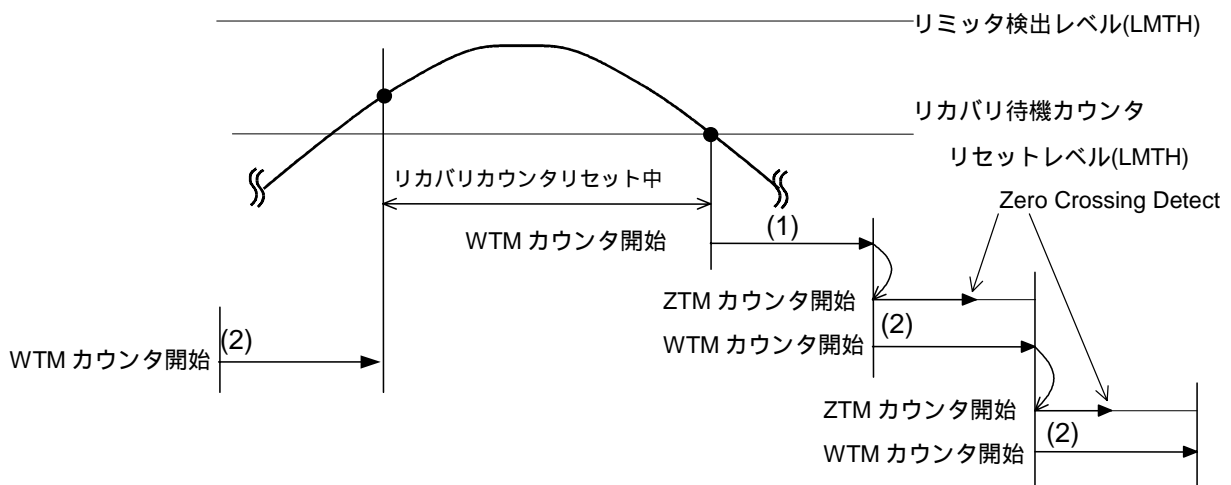


図 18. リミッタ動作からリカバリ動作への遷移

- (1) ALCリカバリ待機カウンタリセットレベル(LMTH)以下になると、WTM1-0 bitで設定された時間だけ待機を行います。この間にALCリミッタ検出レベルあるいはリカバリ待機カウンタリセットレベルに達しなければ、一回リカバリ動作を行います。
- (2) ALCリカバリ動作のゼロクロスによりIPGA値を変更していますが、次のALCリカバリ待機時間のカウントも同時進行しています。

その他:

どれか一つのチャンネルがゼロクロス待ち時間でリミッタ動作に入った場合は、現在進行中のALCリカバリ動作を中断し、IPGA値の小さい方(ゼロクロス待ち状態のチャンネル)に従って、ALCリミッタ動作を行います。

全てのチャンネルとも次のALCリカバリ動作への待機をしている場合は、その時点のIPGA値からALCリミッタ動作が行われます。

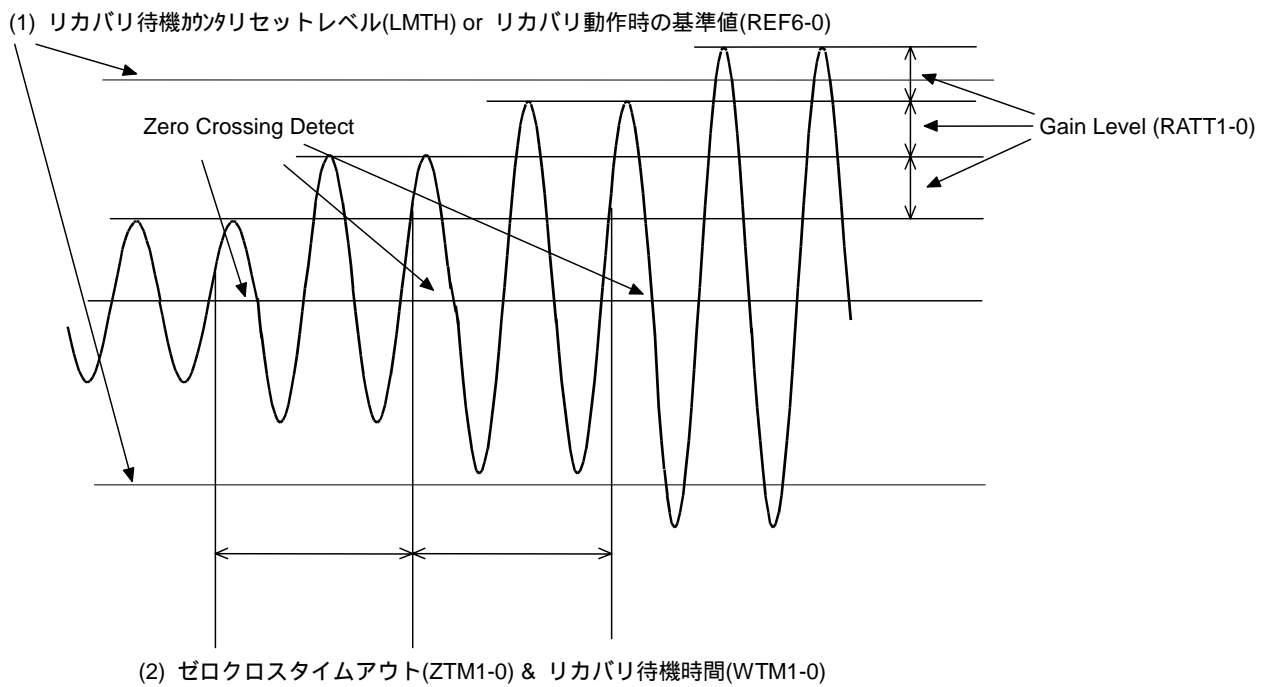


図 19. ALCリカバリ動作

- (1) ALCリカバリ待機カウンタリセットレベルに達するとALCリカバリ待機動作を中断し、再びそれらのレベルより小さい信号になるとALCリカバリ待機動作を開始します。また、ALCリカバリ動作を繰り返しIPGA値がALCリカバリ動作時の基準値(REF6-0)に達しても、ALCリカバリ動作を中断します。
- (2) ZTM1-0 bitはゼロクロスタイムアウト時間の設定を行い、WTM1-0 bitはALCリカバリ動作周期の設定を行います。ただし、ZTM1-0 > WTM1-0の時、ZTM1-0期間中にゼロクロス動作が行われないと、ゼロクロスタイムアウト時間が優先されますので、ALCリカバリ動作周期は一定でなくなることもあります。

ALC動作中は、以下のレジスタへの変更を禁止します。

・LTM1-0, LMTH, LMAT1-0, WTM1-0, ZTM1-0, RATT1-0, REF6-0, ZELMN

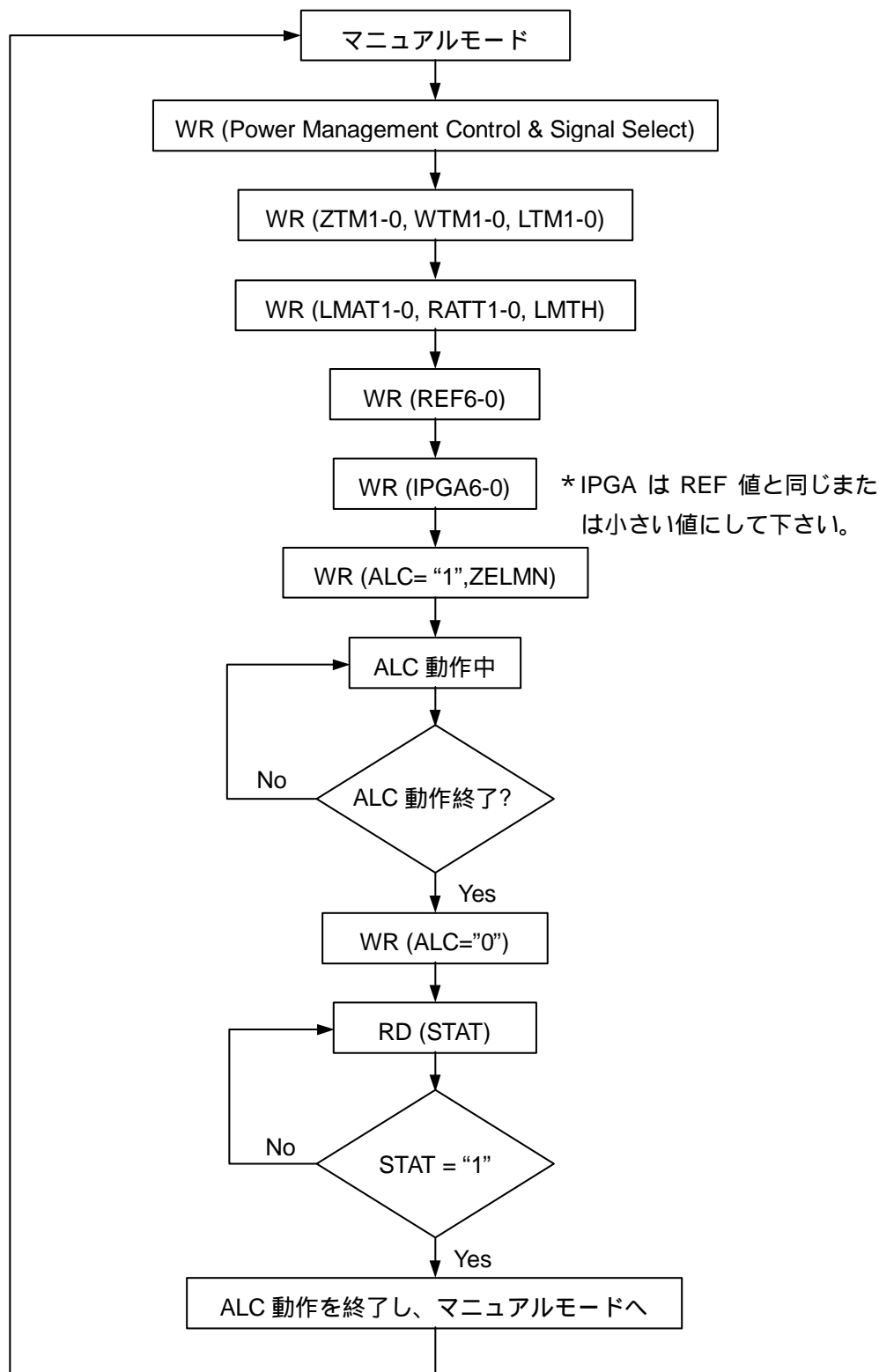


図 20. ALC動作設定手順例

## ■ フェードインモード

フェードインモードでは、外部からFDIN bitを“0”から“1”に変更することで、IPGA値をFDATTで設定された値ずつ増加させていきます。

変更時間はFDTM1-0 bitにより設定することができます。また、この時の動作は常にゼロクロス検出を行っています。この動作は、IPGA値がREF値に達するか、あるいは一度でもリミッタ動作がかかるまで動作を続けています。もし、フェードイン中にリミッタ動作がかかると、それ以降はALC動作になります。

\* FDIN = FDOUT = “1”の場合は、FDOUT bitが有効になります。

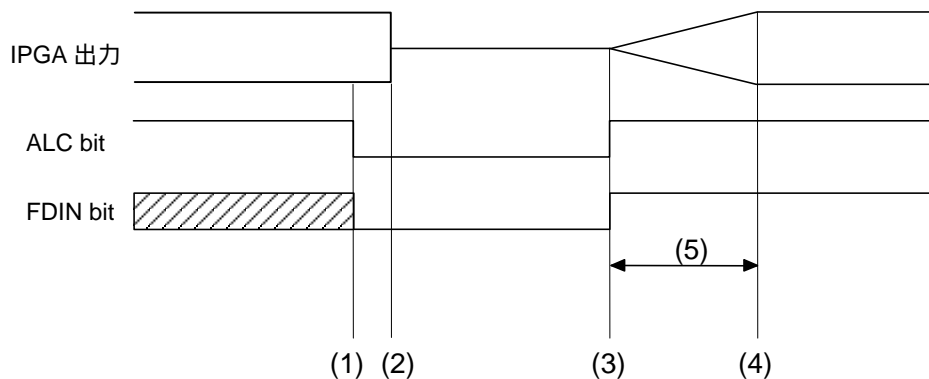


図 21. フェードイン動作時の制御例

- (1) WR (ALC = FDIN = “0”): ALC動作をDisableします。また、フェードイン動作を開始させる準備としてFDIN bitに“0”を書き込みます。
- (2) WR (IPGA = “MUTE”): IPGA値をMUTE状態にします。
- (3) WR (ALC = FDIN = “1”): フェードイン動作開始。IPGA値がMUTE状態からフェードインして行きます。
- (4) フェードイン動作は一度でもALCリミッタ検出レベル(LMTH)に達するか、あるいは基準値(REF6-0)に達するまで動作を行います。フェードイン動作が終了するとALC動作になります。
- (5) フェードイン時間はFDTM1-0, FDATTにて設定することができます。

ただし、フェードイン時のゼロクロスタイムアウト時間はその設定にかかわらずフェードイン周期と等しくなります。

E.g. FDTM1-0 = 32ms, FDATT = 1step

$$(96 \times \text{FDTM1-0}) / \text{FDATT} = 96 \times 32\text{ms} / 1 = 3.07\text{s}$$

## ■ フェードアウトモード

フェードアウトモードでは外部からFDOUT bitを“0” “1”に変更することで現在のIPGA値からMUTEまでフェードアウト動作を行います。このときの動作は常にゼロクロス検出を行っています。また、フェードアウト動作中でも大入力信号に対してはリミッタ動作が行われます。しかしながら、フェードアウトのトータル時間はリミッタ動作が行われた場合でも同じ時間です。

フェードアウト周期はFDTM1-0 bitで設定された周期ごとにIPGA値を減衰し、一度に減衰させるステップ数はFDATTで設定することができます。

フェードアウト動作中にFDOUT bitが“0”になった場合は、その時点でのIPGA値からALC動作が開始されます。FDOUT bitと同時にALC bitも“0”に変更された場合、その時点でのIPGA値で止まります。

\* FDIN = FDOUT = “1”の場合は、FDOUT bitが有効になります。

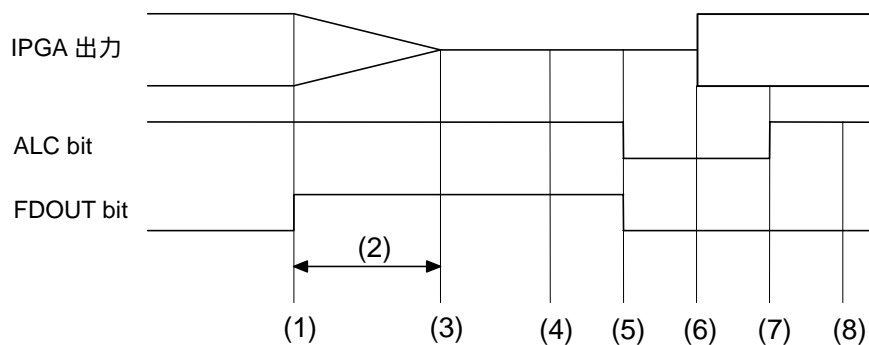


図 22. フェードアウト動作時の制御例

- (1) WR (FDOUT = “1”): フェードアウト動作を開始します。この時、ALC動作は常にEnable状態にしておいて下さい。
- (2) フェードアウト時間はFDTM1-0, FDATT bitにて設定することができます。  
ただし、フェードアウト時のゼロクロスタイムアウト時間はその設定にかかわらずフェードアウト周期と等しくなります。  
E.g. FDTM1-0 = 32ms, FDATT = 1step  
 $(96 \times \text{FDTM1-0}) / \text{FDATT} = 96 \times 32\text{ms} / 1 = 3.07\text{s}$
- (3) フェードアウト動作終了。IPGA値はMUTE状態。FDOUT = “1”が解除されない限り、IPGA値はMUTE状態を保持します。
- (4) アナログ出力及びデジタル出力を外部でミュートします。この時のIPGA値はMUTE状態です。
- (5) WR (ALC = FDOUT = “0”): ALC及びフェードアウト動作を解除。
- (6) WR (IPGA): IPGAを初期値(MUTE状態を解除)に変更します。
- (7) WR (ALC = “1”, FDOUT = “0”): ALC動作を再スタート。ただし、IPGA値のゼロクロス動作(ZTM1-0)が完了するまでALC bitへの書き込みは行わないで下さい。
- (8) アナログ出力及びデジタル出力の外部のミュートを解除します。

システム設計

システム接続例を図 23 に示します。具体的な回路と測定例については評価用ボード(AKD4563A)を参照して下さい。

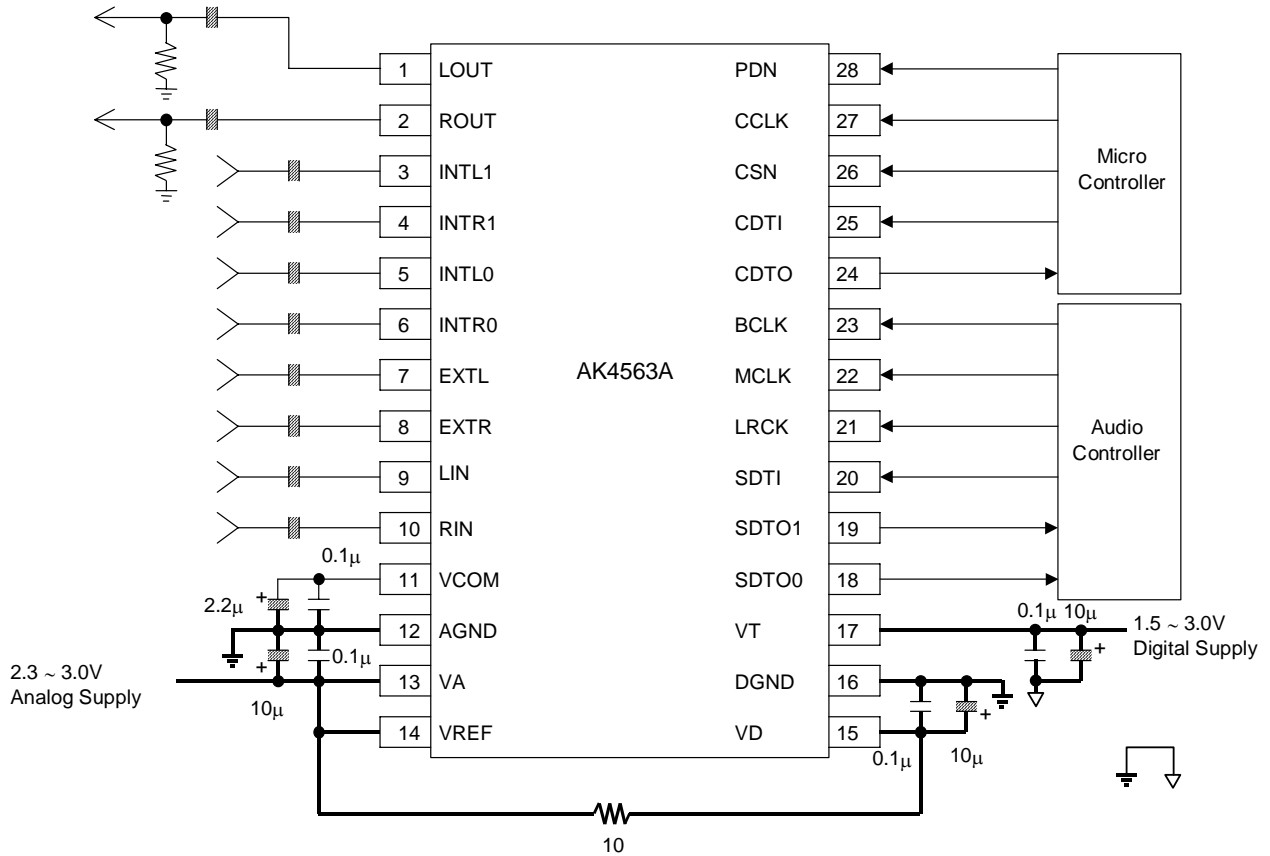


図 23. システム接続図

注:

- AK4563AのAGND, DGNDと周辺コントローラ等のグラウンドは分けて配線して下さい。
- LOUT/ROUTが容量性負荷を駆動する場合は直列に抵抗を入れて下さい。

## 1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。通常、VAはシステムのアナログ電源、VDにはVAから10 $\Omega$ の抵抗を通したシステムのアナログ電源を供給します。もし、VAとVDが別電源で供給される場合は、電源立ち上げシーケンスを考慮する必要はありません。VTは外部ICとのI/F用の電源なのでシステムのデジタル電源を供給して下さい。VTについても、電源立ち上げシーケンスを考慮する必要はありません。AGNDとDGNDはシステムのアナロググランドに接続して下さい。システムのグランドはアナログとデジタルで分けて配線し、PCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

## 2. 基準電圧入力

VREFピンとAGNDの電圧差がアナログ入出力レンジを設定します。通常、VREFピンはVAに接続し、AGNDとの間に0.1 $\mu$ Fのセラミックコンデンサを接続します。VCOMは $0.45 \times VA$  (typ.)電圧を出力しており、アナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために2.2 $\mu$ F程度の電解コンデンサと並列に0.1 $\mu$ FのセラミックコンデンサをAGNDとの間に接続して下さい。特に、セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCOMピンから電流を取ってはいけません。デジタル信号、特にクロックは変調器へのカップリングを避けるため、VREF、VCOMピンからできるだけ離して下さい。

## 3. アナログ入力

アナログ入力はシングルエンド入力になっており、入力抵抗はMIC側の設定をした時は、typ.10k $\Omega$ 、LINE側の設定をした時はtyp.125k $\Omega$ になっております。入力レンジは内部のVCOM電圧を中心に $0.6 \times VREF V_{pp}$ (typ.)になります。通常、入力信号はコンデンサでDCカットします。この時カットオフ周波数は $f_c = 1 / (2 \pi RC)$ です。AK4563Aは(VA-0.1V)  $V_{pp}$ の信号まで入力することができます。出力コードのフォーマットは2'sコンプリメント(2の補数)で、正のフルスケール以上の入力信号に対しては7FFFH(@16bit)、負のフルスケール以下の信号に対しては8000H(@16bit)、無入力時の理想値は0000H(@16bit)です。DCオフセット(ADC自体のDCオフセットも含む)は内蔵のHPF ( $f_c = 3.7\text{Hz}$  @  $f_s = 48\text{kHz}$ )でキャンセルされます。

AK4563Aは64fsでアナログ入力をサンプリングします。デジタルフィルタは、64fsの整数倍付近の帯域を除く阻止域以上のノイズを全て除去します。AK4563Aは64fs付近のノイズを減衰させるためにアンチエイリアシングフィルタ(RCフィルタ)を内蔵しています。

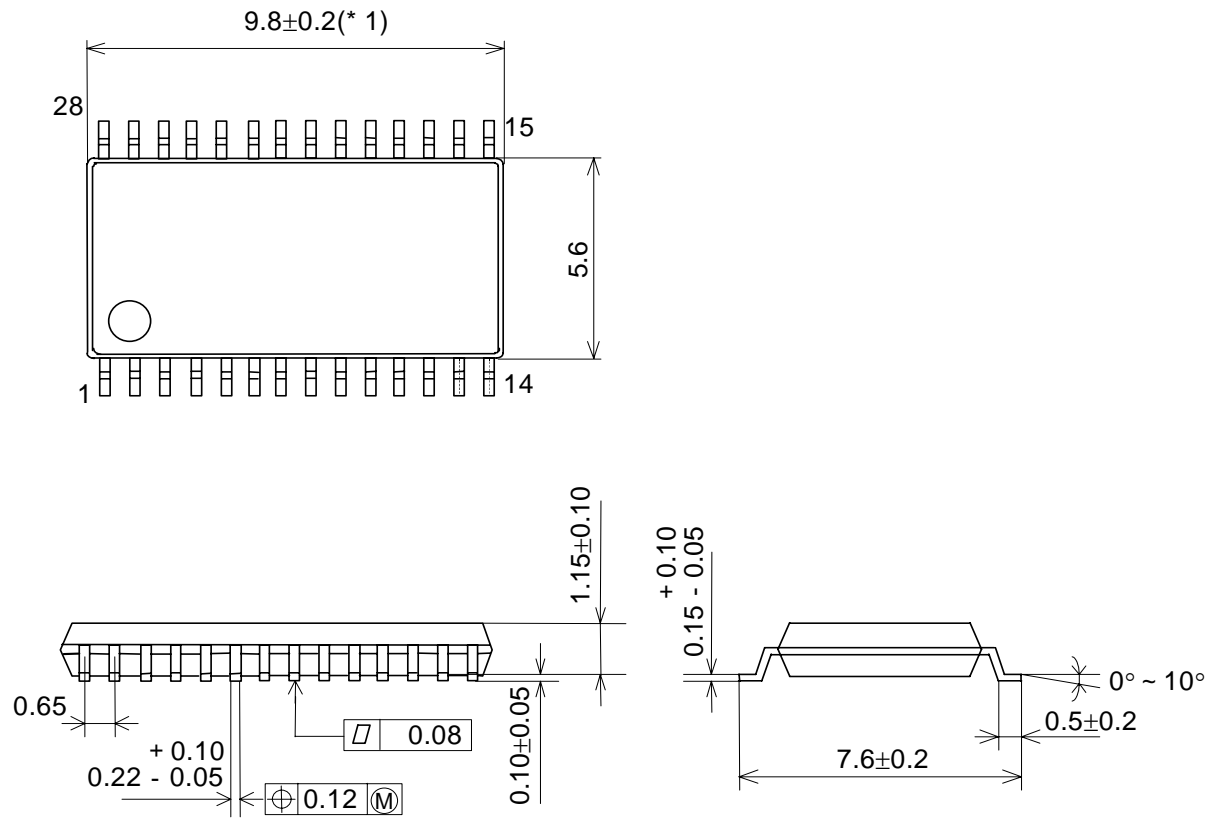
## 4. アナログ出力

DAC出力はシングルエンドになっており、出力レンジはVCOM電圧を中心に $0.6 \times VREF V_{pp}$ (typ)です。入力コードのフォーマットは2'sコンプリメント(2の補数)で、7FFFH(@16bit)に対しては正のフルスケール、8000H(@16bit)に対しては負のフルスケール、0000H(@16bit)での理想値はVCOM電圧が出力されます。 $\Delta\Sigma$ 変調器が発生する帯域外ノイズ(シェーピングノイズ)が気になる場合は、外付けのフィルタで減衰させて下さい。

アナログ出力はVCOM+数mV程度のDCオフセットを持つため、通常の使用ではコンデンサでDC成分をカットします。

パッケージ

28pin VSOP (Unit: mm)

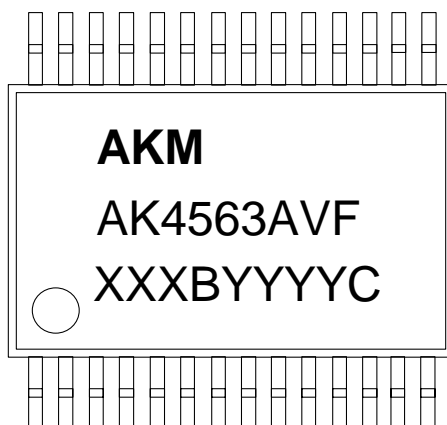


\*1 : 本寸法にはモールドバリを含む。

■ Material & Lead finish

Package molding compound:	Epoxy
Lead frame material:	Cu
Lead frame surface treatment:	Solder plate (Pb free)

## マーキング



XXXBYYYYC data code identifier

XXXB : Lot number (X : Digit number, B : Alpha character)

YYYYC : Assembly date (Y : Digit number, C Alpha character)

### 重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。